



G720 数据手册

Version 1.0.0

修订日期：2026-04-29

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其它义务。

凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

修订记录

下表记录了从 V1.0 开始至今的所有修订历史：

表 0-1 修订记录

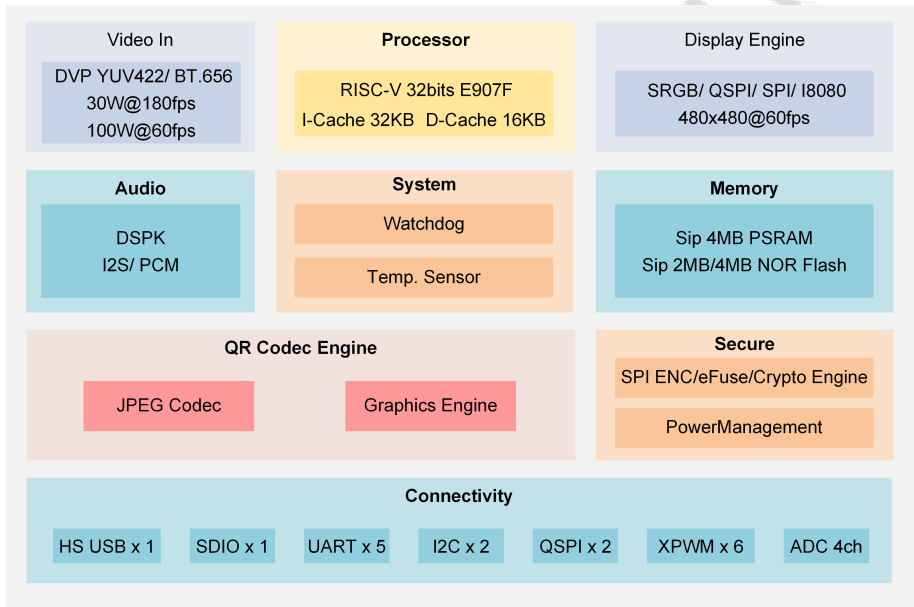
版本	章节	修订说明
V1.0	-	初版。

内容

版权声明.....	ii
修订记录.....	iii
1. 简介.....	5
2. 功能特性.....	6
3. 产品信息.....	10
4. 电气特性.....	12
4.1. 运行条件.....	12
4.1.1. 最大极限值.....	12
4.1.2. 建议运行条件.....	12
4.2. 上下电时序及复位.....	12
4.2.1. 上下电时序.....	12
4.2.2. 复位源.....	13
4.3. 内置 LDO 电气特性.....	13
4.3.1. LD025.....	13
4.3.2. LD018.....	14
4.3.3. LD01x.....	14
4.4. IO 电气特性.....	14
4.4.1. IO DC 特性.....	14
4.4.2. IO AC 特性.....	15
4.5. 接口时序.....	15
4.5.1. SPI 参考时序.....	15
4.5.2. SDIO 参考时序.....	16
5. 封装信息.....	19
5.1. 引脚分布.....	19
5.1.1. 封装编号说明.....	19
5.1.2. G720.....	19
5.1.3. 引脚分布.....	20
5.2. 引脚属性.....	20
5.2.1. G720 系列.....	21
5.3. 引脚复用.....	23
5.3.1. G720AxU.....	23
5.4. 引脚描述.....	25
5.5. 封装尺寸.....	29
5.5.1. G720 系列.....	29

1. 简介

G720 是一款基于 RISC-V 的高性能、国产自主、工业级标清显示与智能控制 MCU，配备强大的 2D 图形加速处理器、PNG/JPEG 解码引擎、丰富的接口。内置专用的 QR Codec 引擎，支持多种码制的全码库识别。配备硬件加解密模块，支持多种加密算法，同时带有强大的 2D 加速、JPEG 编解码引擎，高速的 DVP、USB、PWM 接口，流畅支持卷帘与全局摄像头，可广泛应用于二维码扫码、打印等终端，尤其是对速度、体积、成本敏感的金融安全支付等设备。



ArtInChip

2. 功能特性

• CPU 内核

- 单核 E907, RV32IMAFC 指令架构, 480 MHz @ 1.1V, 552 MHz @ 1.2V
- 一级指令缓存 32 KB, 一级数据缓存 16 KB
- 物理内存保护 (PMP)
- 核内中断 CLINT 和中断控制器 CLIC, 支持中断嵌套
- 机器模式和用户模式
- 标准 2 线 JTAG 调试接口

• 系统启动

- 默认按 NOR (内部 Flash: QSPI0) → eMMC (SDC0) 扫描启动
- 可通过烧写 eFuse 改变并固定启动介质
- 支持 USB 烧录、SD Card 强制升级、外部引脚直接烧写 SiP Flash

• 系统安全

- SPI 总线加密模块 (SPI ENC), 支持 SPI NAND/ SPI NOR 在线加解密
- 数据校验引擎 (DCE), 支持 CRC-32 多项式和累加和两种方式
- 内置 eFuse 一次性可编程存储器 1024 bits, 采用双备份实现 512 bits 空间, 其中 256 bits 供客户自定义使用, 具有 128 bits 独立 CHIPID

• 片内存储

- 32 KB BROM
- 40 KB SRAM
- 4 MB PSRAM, 8-bit 位宽, 最高频率 250 MHz DDR, 支持展频功能
- 2 MB 或 4 MB NOR Flash, 使用 QSPI0 功能

• 存储接口

◦ QSPI0 支持 SPI NOR Flash 启动

- 支持单/双/四数据线
- 支持 XIP, 用于 NOR Flash
- 支持最大时钟频率 SDR 100 MHz / DDR 100 MHz

◦ eMMC 4.41/ SD 2.0/ SDIO 2.0, 总共一套

- eMMC 4 数据线, 支持 Legacy Speed / High Speed SDR / DDR 模式
- SD 卡/ SD-NAND, 支持 Default Speed / High Speed 模式
- 支持最大时钟频率 SDR 50 MHz / DDR 50 MHz, 仅支持 3.3 V IO 电压

• 图像引擎

◦ DE 显示引擎:

- 支持一个 UI 图层, 一个 Video 图层, 最高性能 480*480@60fps
- 支持 Video 图层 1/31.999x ~ 32x 缩放
- 支持抖动、伽马及色彩矩阵调整

◦ GE 图像引擎:

- 支持 2D 图形加速, 最大性能 720P@60fps
- 支持水平和垂直翻转, 90/ 180/ 270 度旋转
- 支持 RGB 格式任意角度旋转和不同扫描顺序
- 支持 1/16x ~ 16x 缩放, 采用 bilinear 滤波算法
- 支持命令队列

◦ VE 视频编解码:

- MJPEG 基线解码器，最高性能 720P@60fps
- PNG 解码器，最高性能 720P@30fps
- JPEG 编码器，最高性能 720P@60fps
- QR 二维码引擎：
 - 支持一维码、二维码等全码库识别
 - 支持定制码，一次解 N 码
 - 支持高性能 DVP 8-bit 接口，VGA@200fps、HD@60fps，扫码、拍照或录像
 - 支持图像的缩放与镜像
 - 支持 DVP 接口的卷帘、全局摄像头

• 显示接口

- LCD 接口支持 SRGB/ I8080/ QSPI/ SPI 屏，最高性能 480*480@60fps
- QSPI1 / QSPI2 接口支持硬件刷屏模式，最高性能 480*480@60fps
- 支持展频功能

• 摄像接口

- 支持 DVP 8-bit 输入，支持 YUV422 和 BT.656 格式，BT.656 支持隔行模式
- 支持直通模式
- 支持两路解交织
- 支持针对图像帧、行和列分别裁剪
- 支持 16 阶直方图统计
- 最大性能支持 720P@60fps

• 音频接口

- 一路 I2S，支持输入输出，支持 I2S/ PCM/ TDM 模式

• 通用接口

- 一路 USB2.0，支持高速、全速模式，可配置为 DEVICE/HOST；可复用为 GPIO
- 两路 QSPI，支持单/ 双/ 四数据线，支持 Master/ Slave
- 五路 UART，支持 2 线/ 3 线/ 4 线接口，RS485 收发控制自动切换，兼容工业标准 16550
- 两路 I2C，支持 7 bits 和 10 bits 寻址，最高速率 400 Kb/s
- 一组 CIR，支持红外输入和红外输出
- 六组 GPIO 支持 38 个 IO，支持每个 IO 独立配置：
 - 可选无上下拉/ 上拉 33 K Ω / 下拉 33 K Ω ；PS0/PS1 是 OD 引脚，需要外挂上下拉
 - 输出驱动八个档位可调
 - 输入支持二级去抖和中断
 - 数据输出寄存器支持位操作

• 计数器

- GTC 通用计时器
 - 支持 52 位计时器，提供系统心跳时钟，计时周期大于 35 年
 - 支持调试模式下可配置为暂停计时或继续计时
- WDOG 看门狗
 - 支持中断和复位，超时时间 1 毫秒 ~ 37 小时可配置
 - 支持调试模式下可配置为暂停计时或继续计时
 - 支持硬件写保护机制
- XPWM
 - 内置 32-bit 计数器，支持六路定时器，支持六路独立 PWM
 - 支持 PWM 输出模式，支持反相，初始值可配置，PWM 周期、占空比动态可调

- 支持脉冲输出模式，支持脉冲数量统计以及输出固定个数脉冲功能，支持 DMA 和中断

- 可用于串行 RGB LED 灯珠驱动、电机驱动

◦ EPWM

- 内置 32-bit 计数器，支持三路定时器，支持六路独立 PWM 或三路互补 PWM
- 支持 PWM 输出模式，支持反相，初始值可配置，PWM 周期、占空比动态可调
- 支持脉冲输出模式，支持脉冲数量统计以及输出固定个数脉冲功能，支持 DMA 和中断
- 可用于串行 RGB LED 灯珠驱动、电机驱动

◦ CAP

- 内置 32-bit 计数器，支持两路定时器
- 支持两路捕获输入，支持连续的捕获模式或单次的捕获模式
- 支持简易 PWM 输出，支持相位同步

◦ QEP

- 内置 32-bit 位置计数器，32-bit 定时器，32-bit 看门狗定时器
- 支持 AB 正交信号解析
- 支持 CW/CCW 信号解析
- 支持 CLK/DIR 信号解析
- 支持霍尔输入信号解析

• 模拟

- 内置 4 通道 12-bit GPADC，采样速率为 2 Msps
- 集成 RTP 电阻触摸屏接口，若不使用 RTP 功能，可当 ADC 功能使用

• 时钟和电源管理

◦ CMU 内置五个 PLL:

- PLL_INT0 用于 CPU 单独使用，无小数分频和展频功能
- PLL_INT1 用于总线，内部模块，及低速接口模块使用，无小数分频和展频功能
- PLL_FRA0 用于存储接口模块使用，带小数分频和展频功能
- PLL_FRA1 用于音频模块使用，带小数分频和展频功能
- PLL_FRA2 用于屏显输出模块使用，带小数分频和展频功能

◦ SYSCFG 内置三个 LDO:

- LDO25 (2.4 ~ 3.1 V 100 mA)，用于系统复位启动、ADC 供电、eFuse 供电
- LDO18 (1.71 ~ 2.16 V 100 mA)，可用于 PSRAM IO 和 PSRAM 颗粒供电
- LDO1x (1.0 ~ 1.375 V 200 mA，每档 25 mV)，可用于 VDD11 供电

- 内置 THS 温度传感器，支持高温中断报警和过温复位芯片

- 内置 WRI 模块，记录复位源，BOR 欠压复位，32bits × 2 备份寄存器

3. 产品信息

表 3-1 产品型号信息

型号	特性	封装	温度 (Tj)
G720ADU	4 MB PSRAM 2 MB NOR FLASH	QFN48, 5x5x0.85mm, 0.35mm 间距	-20 至 +85°C
G720AFU	4 MB PSRAM 4 MB NOR FLASH	QFN48, 5x5x0.85mm, 0.35mm 间距	-20 至 +85°C

表 3-2 产品规格对比

项目	G720ADU	G720AFU
内核	E907 480 MHz @ 1.1V E907 552 MHz @ 1.2V	E907 480 MHz @ 1.1V E907 552 MHz @ 1.2V
内存	4 MB PSRAM 2 MB NOR FLASH	4 MB PSRAM 4 MB NOR FLASH
安全	支持	支持
时钟	外挂 24M 晶振	外挂 24M 晶振
LCD	x 1	x 1
RTP	x 1	x 1
DVP	x 1	x 1
DSPK	x 1	x 1
I2S	x 1	x 1
eMMC 4.41/ SDIO 2.0	x 1	x 1
USB2.0	x 1	x 1
QSPI	x 2	x 2
UART	x 5	x 5
I2C	x 2	x 2
CIR	x 1	x 1
XPWM	x 6	x 6
EPWM	x 3 (6ch)	x 3 (6 ch)
CAP	x 2	x 2

表 3-2 产品规格对比 (续)

项目	G720ADU	G720AFU
QEP	x 2	x 2
ADC	x 1 (4 ch)	x 1 (4 ch)

ArtInChip

4. 电气特性

4.1. 运行条件

4.1.1. 最大极限值

符号	描述	最小值	最大值	单位
Tstg	储存温度	-40	125	°C
VCC33_I00	GPIO 电源	-0.3	3.6	V
VCC33_I01	GPIO 电源	-0.3	3.6	V
VDD11	内核及系统电源	-0.3	1.375	V
Iio	IO 输入输出电流	-55	60	mA

4.1.2. 建议运行条件

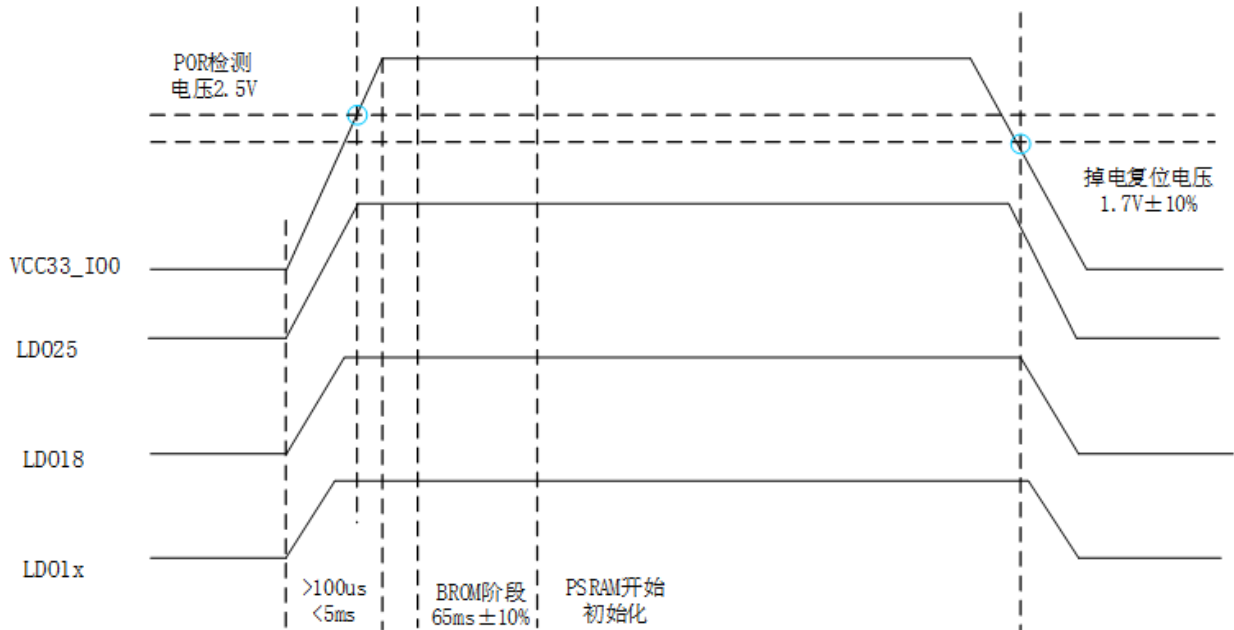
符号	描述	最小值	典型值	最大值	单位
Tj	结温	-20	-	105	°C
Ta	环境温度	-20	-	85	°C
VCC33_I00	GPIO 电源	3.0	3.3	3.6	V
VCC33_I01	GPIO 电源	1.65/3.0	1.8/3.3	2.0/3.6	V
VDD11	内核及系统电源	1.05/1.15	1.1/1.2	1.32/1.32	V

4.2. 上下电时序及复位

4.2.1. 上下电时序

- VCC33_I00、VDD11 (LD01x) 和 LDO18 供电无上下电顺序要求。VCC33_I00 上电上升沿时间需大于 150 us 且小于 5 ms。
- LDO25、LDO18、VDD11 (LD01x) 上电默认开启

- VCC33_I00 上电大于 2.5 V 左右触发内部 POR 检测，检测到 POR 后内部逻辑延迟 7 ms 左右芯片放开复位开始工作，掉电复位检测电压为 1.7 V 左右。
- VCC33_I00 上电时间大于 150 us 且小于 5 ms 以确保芯片正常工作，最低工作电压为 3.0 V，上电不能长时间停留在 3.0 V 以下。



4.2.2. 复位源

芯片系统有以下几种复位源，任何一种复位条件成立，会对芯片产生复位：

- 系统上电复位：系统上电复位：在 VCC33_I00 和 VDD11 上电后产生复位，上电 10 ms 内系统自动放开此复位。
- 外部引脚复位：引脚 RESETN 输入低电平并持续 2 ms 以上产生复位。
- 调试器复位：在接收到 JTAG IO 上的 RESET 命令后立即产生复位。
- 看门狗复位：通过软件使能后，在 WDOG 超时复位条件满足下立即产生复位。
- 过温复位：通过软件使能后，在 THS 温度超过设定值时立即产生复位。

4.3. 内置 LDO 电气特性

4.3.1. LD025

内置 LD025，电压可配置，用于系统模拟及 GPADC/ eFuse 供电，LD025 也用作 GPADC 的参考电压，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	2.4	2.5	3.1	V

符号	描述	最小值	典型值	最大值	单位
I _o	输出电流	-	-	100	mA
C _o	外部去耦电容	-	1	-	uF

4.3.2. LD018

内置 LD018，电压可配置，用于 PSRAM 颗粒供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.71	1.92	2.16	V
I _o	输出电流	-	-	100	mA
C _o	外部去耦电容	-	1	-	uF

4.3.3. LD01x

内置 LD01x，电压可配置，可用于 VDD11_SYS 供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.0	1.2	1.375	V
I _o	输出电流	-	-	200	mA
C _o	外部去耦电容	-	1	-	uF

4.4. IO 电气特性

4.4.1. IO DC 特性

符号	描述	最小值	典型值	最大值	单位
V _{IH}	高电平输入电压	0.7*VCC33_IO	-	VCC33_IO+0.3	V
V _{IL}	低电平输入电压	-0.3	-	0.3*VCC33_IO	V
R _{PU}	上拉电阻	-	33	-	KΩ
R _{PD}	下拉电阻	-	33	-	KΩ
I _{IH}	高电平输入电流	-	-	10	uA
I _{IL}	低电平输入电流	-	-	10	uA
V _{OH}	高电平输出电压	VCC33_IO-0.3	-	VCC33_IO	V

符号	描述	最小值	典型值	最大值	单位
VOL	低电平输出电压	-0.3	-	0.3	V
IOH	高电平驱动能力	-	-	20	mA
IOL	低电平驱动能力	-	-	20	mA
IOZ	三态输出漏电流	-10	-	10	uA
CIN	输入电容	-	-	5	pF
COUT	输出电容	-	-	5	pF

4.4.2. IO AC 特性

符号	描述	测试条件	最小值	典型值	最大值	单位
fmax	最大频率	负载 6 pF	-	-	150	MHz
tr	上升时间	VOL 到 VOH 时间	-	-	1.6	ns
tf	下降时间	VOH 到 VOL 时间	-	-	1.6	ns

4.5. 接口时序

4.5.1. SPI 参考时序

符号	描述	最小值	最大值	单位
Input Timing				
tCLCH	Serial Clock Rise Time(Slew Rate)	0.2	-	V/ns
tCHCL	Serial Clock Fall Time(Slew Rate)	0.2	-	V/ns
tCHSL	CS# Not Active Hold Time	5	-	ns
tSLCH	CS# Active Setup Time	5	-	ns
tCHSH	CS# Active Hold Time	5	-	ns
tSHCH	CS# Not Active Setup Time	5	-	ns
tSHSL	CS# High Time (read/write)	20	-	ns
tDVCH	Data In Setup Time	2	-	ns
tCHDX	Data In Hold Time	2	-	ns
Output Timing				

符号	描述	最小值	最大值	单位
tCLQV	Clock Low To Output Valid		6.5	ns
tCLQX	Output Hold Time	1	-	ns
tCLH	Serial Clock High Time	0.45*tek	-	ns
tCLL	Serial Clock Low Time	0.45*tek	-	ns
tSHQZ	Output Disable Time		6	ns

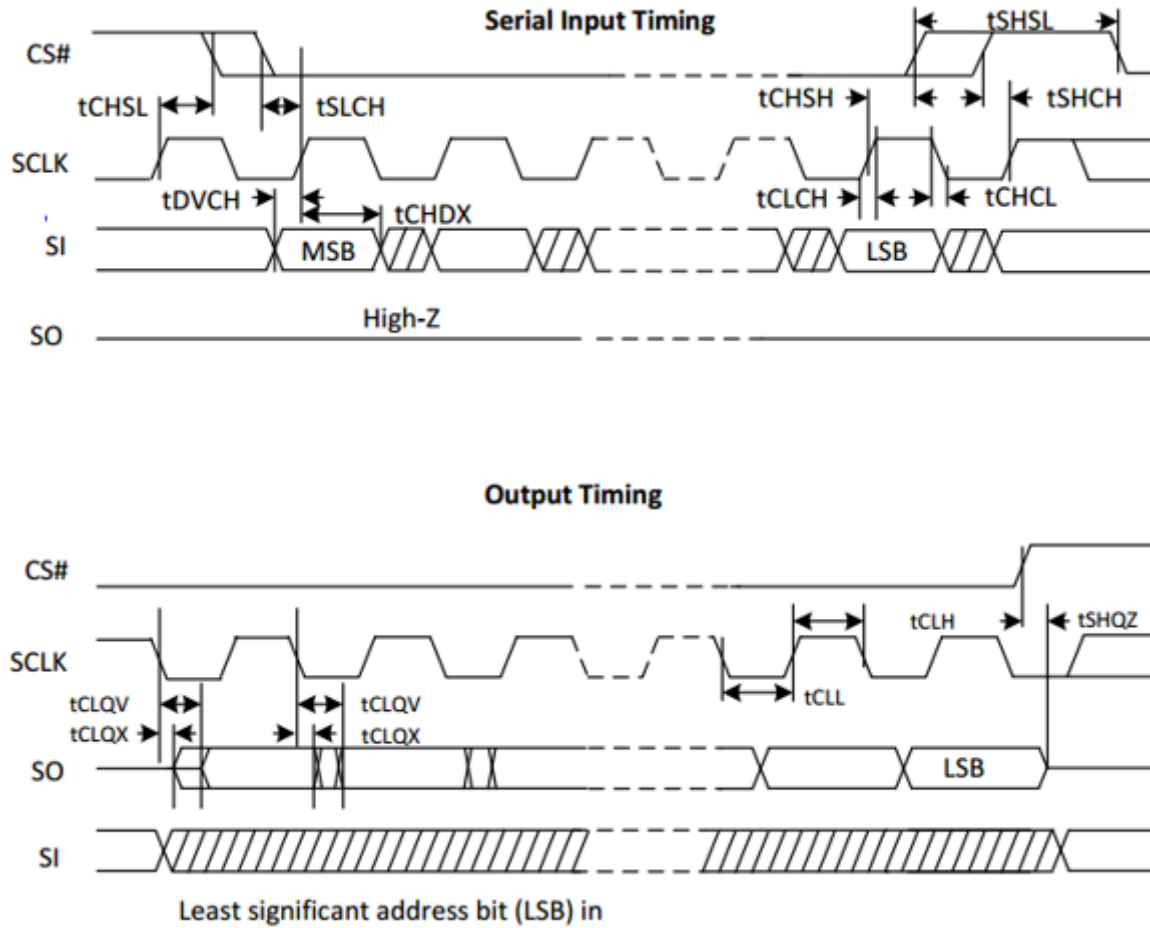


图 4-1 SPI 接口时序参考

4.5.2. SDIO 参考时序

符号	描述	测试条件	25 MHz		52 MHz		单位
			最小值	最大值	最小值	最大值	
t _{WL}	clock low time	10 pF max.	10	-	7	-	ns
t _{WH}	clock high time	10 pF max.	10	-	7	-	ns
t _{W(cik)}	clock pulse width	10 pF max.	40	-	18	-	ns
t _{TLH}	clock rise time	10 pF max.	-	10	-	3	ns

符号	描述	测试条件	25 MHz		52 MHz		单位
			最小值	最大值	最小值	最大值	
t_{THL}	clock fall time	10 pF max.	-	10	-	3	ns
Input CMD, DATn							
t_{ISU}	input set-up time	10 pF max.	5	-	6	-	ns
t_{IH}	input hold time	10 pF max.	5	-	2	-	ns
Output CMD, DATn							
t_{ODLY}	output delay time	during data transfer mode: 40 pF max.	0	14	-	14	ns
t_{OH}	output hold time		2.5	-	2.5	-	ns

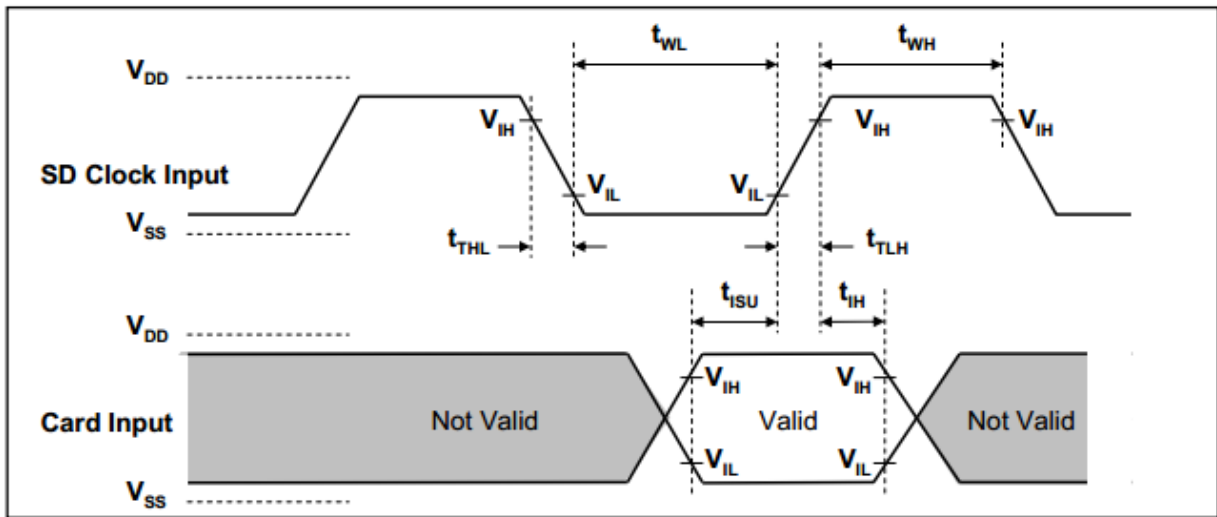


图 4-2 SDIO 接口输入时序 (默认速度模式 - 25 MHz)

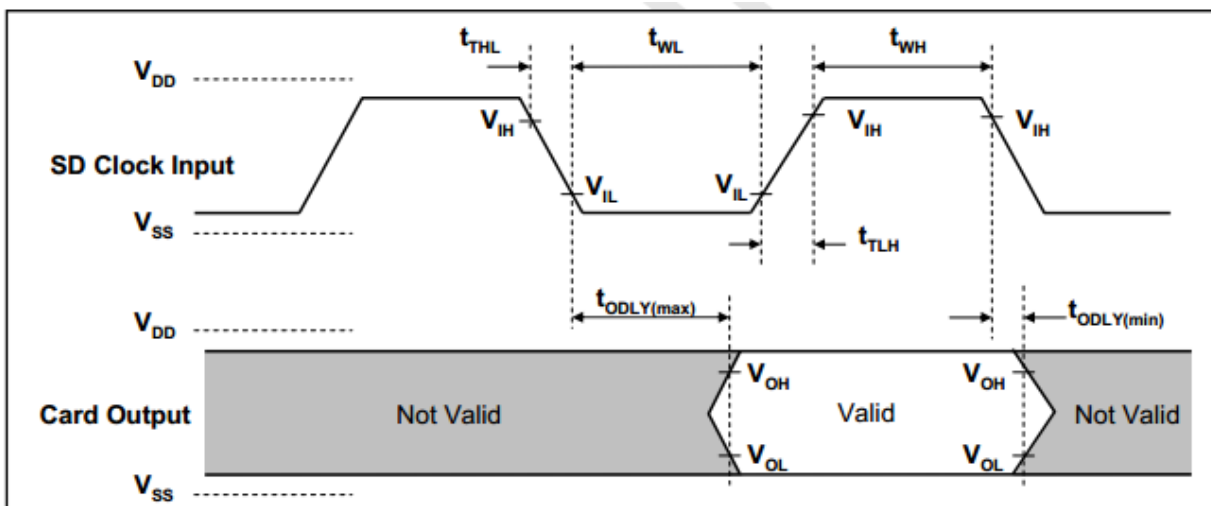


图 4-3 SDIO 接口输出时序 (默认速度模式 - 25 MHz)

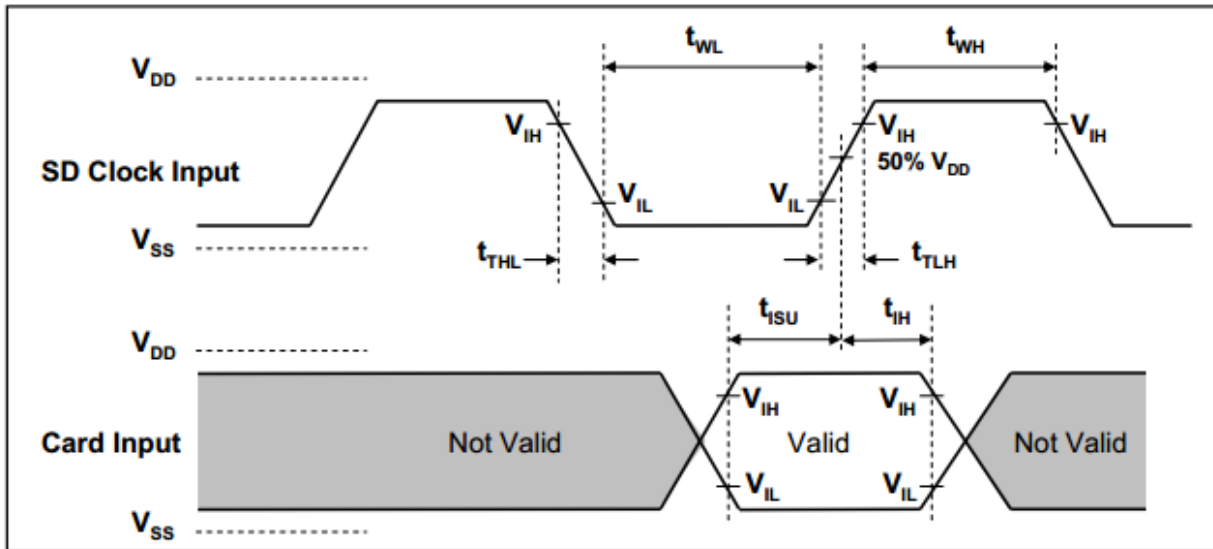


图 4-4 SDIO 接口输入时序 (高速模式 - 50 MHz)

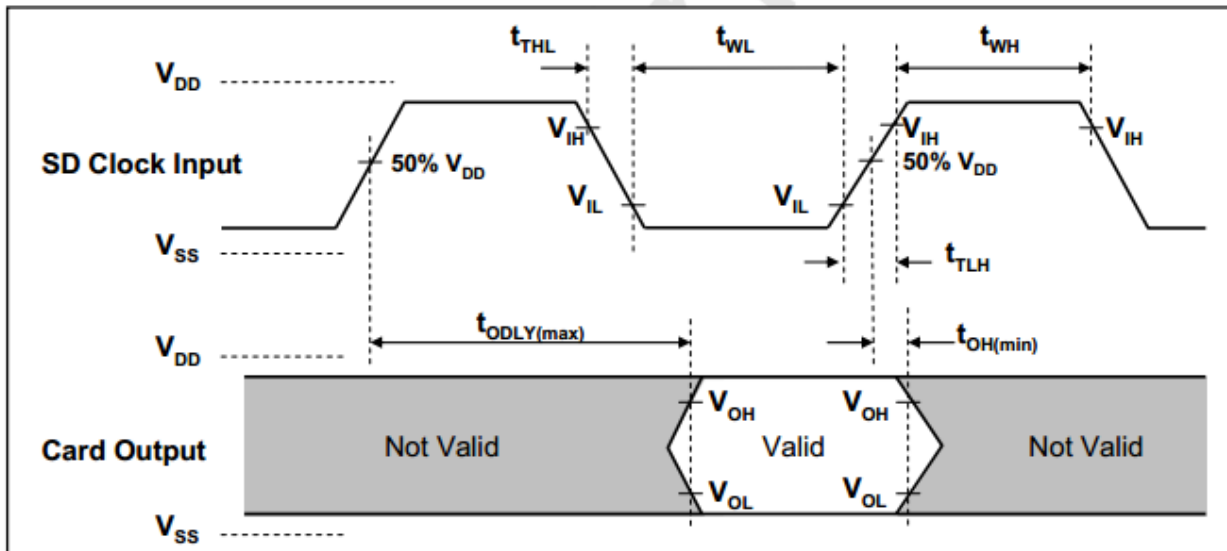


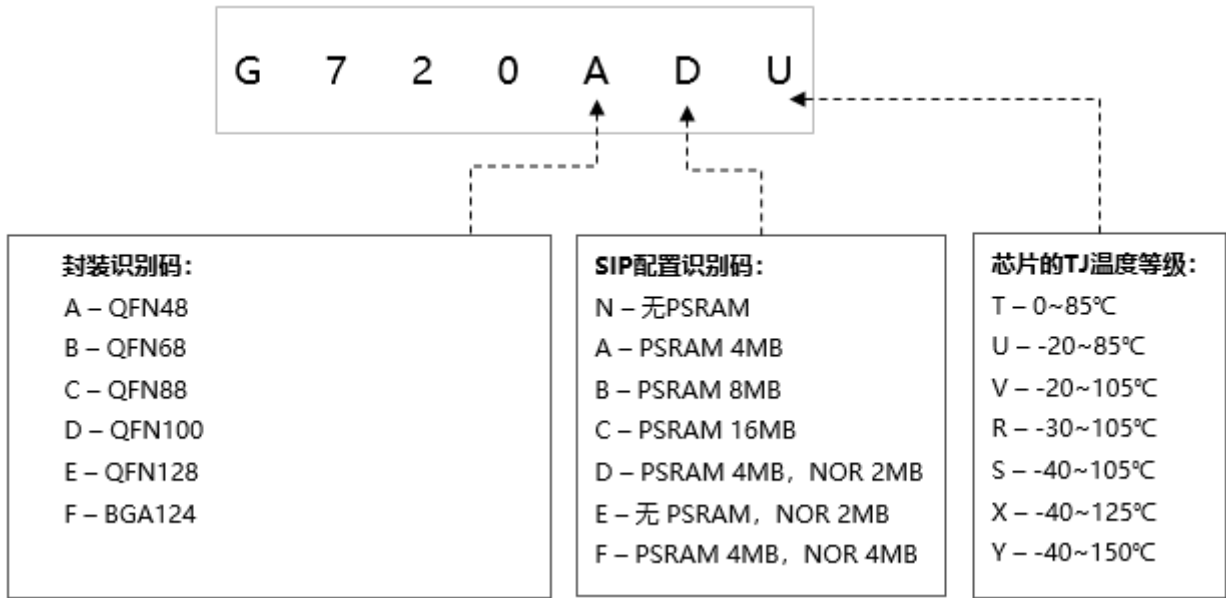
图 4-5 SDIO 接口输出时序 (高速模式 - 50 MHz)

5. 封装信息

5.1. 引脚分布

5.1.1. 封装编号说明

下图以 D125CBS 为例对封装编号及其对应标识进行说明：

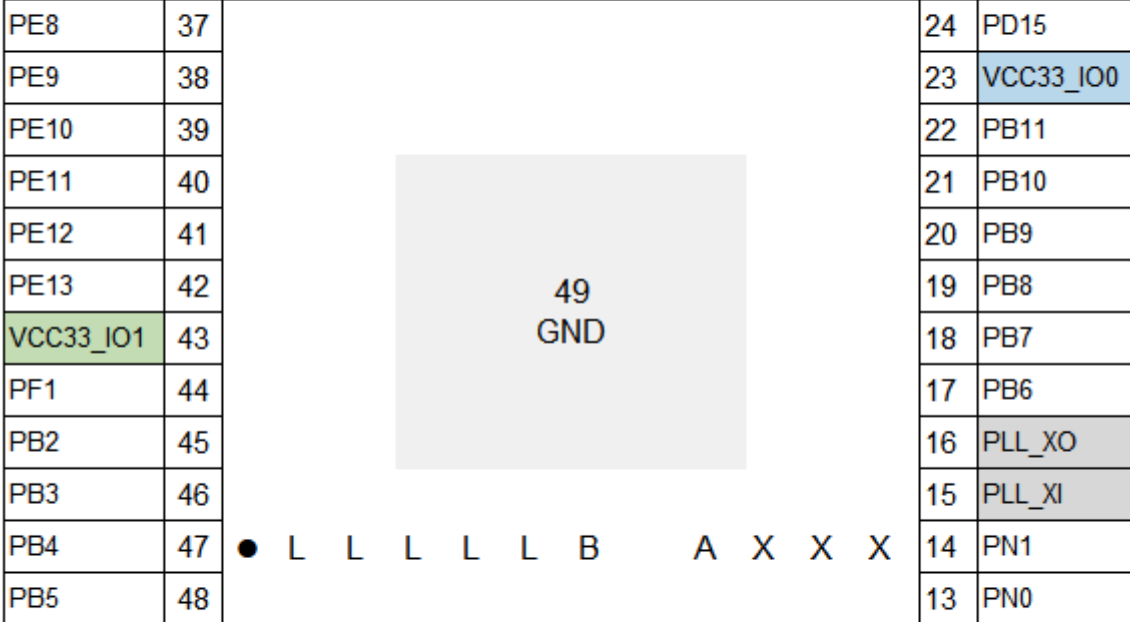


- LLLLLB: 其中 LLLLL 表示批号, B 固定不变。
- AXXX: 其中 XXX 表示 Date Code, A 固定不变, 比如 A525 表示 2025 年第 25 周生产。

5.1.2. G720

 注:

G720ADU、G720AFU 封装引脚兼容。

		PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	LD018	VDD11	PD11	PD13													
		36	35	34	33	32	31	30	29	28	27	26	25													
PE8	37												24	PD15												
PE9	38												23	VCC33_IO0												
PE10	39												22	PB11												
PE11	40												21	PB10												
PE12	41												20	PB9												
PE13	42												19	PB8												
VCC33_IO1	43												18	PB7												
PF1	44												17	PB6												
PB2	45												16	PLL_XO												
PB3	46												15	PLL_XI												
PB4	47												14	PN1												
PB5	48												13	PN0												
													1	2	3	4	5	6	7	8	9	10	11	12		
													RESETN	VDD11	VCC33_IO0	LD025	PA0	PA1	PA2	PA3	PA8	PA9	PA10	PA11		

5.1.3. 引脚分布

5.2. 引脚属性

注:

- [1]: 芯片封装引脚序号。
- [2]: 芯片封装引脚名称。
- [3]: 类型，指示信号方向。
 - I —— 输入。
 - O —— 输出。
 - I/O —— 输入/输出。
 - A —— 模拟。
 - AI —— 模拟输入。
 - AO —— 模拟输出。



- P——电源。
- G——地。
- [4]: 引脚复位状态, PU 指上拉, PD 指下拉, Z 指高阻态。
- [5]: PU/PD 表示内部存在上下拉电阻, 且上下拉电阻可通过软件开启或关闭。
- [6]: 默认驱动能力大小。GPIO 默认驱动能力 20 mA, 最大 50 mA。
- [7]: 电源供电。

5.2.1. G720 系列

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
GPIO A						
5	PA0	I/O	Z	PU/PD	20	VCC33_I00
6	PA1	I/O	Z	PU/PD	20	VCC33_I00
7	PA2	I/O	Z	PU/PD	20	VCC33_I00
8	PA3	I/O	Z	PU/PD	20	VCC33_I00
9	PA8	I/O	Z	PU/PD	20	VCC33_I00
10	PA9	I/O	Z	PU/PD	20	VCC33_I00
11	PA10	I/O	PU	PU/PD	20	VCC33_I00
12	PA11	I/O	PU	PU/PD	20	VCC33_I00
GPIO B						
45	PB2	I/O	Z	PU/PD	20	VCC33_I00
46	PB3	I/O	Z	PU/PD	20	VCC33_I00
47	PB4	I/O	Z	PU/PD	20	VCC33_I00
48	PB5	I/O	Z	PU/PD	20	VCC33_I00
17	PB6	I/O	Z	PU/PD	20	VCC33_I00
18	PB7	I/O	Z	PU/PD	20	VCC33_I00
19	PB8	I/O	Z	PU/PD	20	VCC33_I00
20	PB9	I/O	Z	PU/PD	20	VCC33_I00
21	PB10	I/O	Z	PU/PD	20	VCC33_I00
22	PB11	I/O	Z	PU/PD	20	VCC33_I00
GPIO D						

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
26	PD11	I/O	Z	PU/PD	20	VCC33_I00
25	PD13	I/O	Z	PU/PD	20	VCC33_I00
24	PD15	I/O	Z	PU/PD	20	VCC33_I00
GPIO E						
29	PE0	I/O	Z	PU/PD	20	VCC33_I01
30	PE1	I/O	Z	PU/PD	20	VCC33_I01
31	PE2	I/O	Z	PU/PD	20	VCC33_I01
32	PE3	I/O	Z	PU/PD	20	VCC33_I01
33	PE4	I/O	Z	PU/PD	20	VCC33_I01
34	PE5	I/O	Z	PU/PD	20	VCC33_I01
35	PE6	I/O	Z	PU/PD	20	VCC33_I01
36	PE7	I/O	Z	PU/PD	20	VCC33_I01
37	PE8	I/O	Z	PU/PD	20	VCC33_I01
38	PE9	I/O	Z	PU/PD	20	VCC33_I01
39	PE10	I/O	Z	PU/PD	20	VCC33_I01
40	PE11	I/O	Z	PU/PD	20	VCC33_I01
41	PE12	I/O	Z	PU/PD	20	VCC33_I01
42	PE13	I/O	Z	PU/PD	20	VCC33_I01
GPIO F						
44	PF1	I/O	Z	PU/PD	20	LDO25
GPIO N						
13	PN0	I/O	-	-	20	VCC33_I00
14	PN1	I/O	-	-	20	VCC33_I00
SYSTEM						
1	RESETN	I	-	-	-	-
15	PLL_XI	I	-	-	-	-
16	PLL_XO	O	-	-	-	-
POWER						
3	VCC33_I00	P	-	-	-	-
23	VCC33_I00	P	-	-	-	-

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
43	VCC33_IO1	P	-	-	-	-
2	VDD11	P	-	-	-	-
27	VDD11	P	-	-	-	-
28	LDO18	P	-	-	-	-
4	LDO25	P	-	-	-	-
49	GND	P	-	-	-	-

5.3. 引脚复用

5.3.1. G720AxU

表 5-1 G720AxU 封装引脚说明

引脚	定义	类型	功能	备注说明
SYSTEM				
1	RESETN	INPUT	系统复位	内置约 30 kΩ 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 uF。
15	PLL_XI	INPUT	-	默认接 24 MHz 无源晶振；可接有源晶振输出
16	PLL_XO	OUTPUT	-	默认接 24 MHz 无源晶振；接有源晶振时悬空
POWER				
3	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电，PA/PB/PD/PN 组 IO 供电，就近放置 10uF+0.1uF 电容。
23	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电，PA/PB/PD/PN 组 IO 供电，就近放置 0.1uF 电容。
43	VCC33_IO1	POWER	芯片 IO 电压	3.3 V 或 1.8V 供电，PE 组 IO 供电，就近放置 0.1uF 电容。
2	VDD11	POWER	芯片 Core 电压	1.1 V 供电，该引脚为 LDO1x 输出，就近放置 10uF+1 uF 电容。
27	VDD11	POWER	芯片 Core 电压	1.1 V 供电，就近放置 1uF 电容。
28	LDO18	POWER	内置 LDO 输出	PSRAM 使用，就近放置 10 uF+0.1 uF 电容。
4	LDO25	POWER	内置 LDO 输出	模拟模块使用，就近放置 1 uF 电容。
49	GND	POWER	-	GND 铜皮全连接，需多加过孔散热。
RTC				

表 5-2 G720AxU 封装引脚复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								

表 5-2 G720AxU 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
5	PA0	GPADC0	IR_TX	I2C0_SCK	UART0_TX			CPU_NMI
6	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX			LCD_TE
7	PA2	GPADC2		I2C1_SCK	UART1_TX			CMU_CKN
8	PA3	GPADC3		I2C1_SDA	UART1_RX			CMU_CKP
9	PA8	RTP_XP			UART2_TX	I2C0_SCK	UART3_CTS	
10	PA9	RTP_YP			UART2_RX	I2C0_SDA	UART3_RTS	
11	PA10	RTP_XN	IR_RX			I2C1_SCK	UART3_TX	JTAG_MS
12	PA11	RTP_YN	IR_TX			I2C1_SDA	UART3_RX	JTAG_CK
GPIO B								
45	PB2		SPI1_CS	QEPO_I	UART2_RX	UART4_TX	XPWM2	
46	PB3		SPI1_HOLD	QEP1_A	UART0_RX	UART4_RX	XPWM3	-
47	PB4		SPI1_CLK	QEP1_B	UART2_RTS	UART4_RTS	CAP0	
48	PB5		SPI1_MOSI	QEP1_I	UART0_RTS	UART2_CTS	CAP1	
17	PB6	SDC0_CMD	SPI2_CS		UART1_TX	UART2_TX	SDC0_D1	FLASH_CS
18	PB7	SDC0_CLK	SPI2_MISO		UART1_RX	UART2_RX	SDC0_D0	FLASH_MISO
19	PB8	SDC0_D3	SPI2_MOSI		UART1_RTS	UART3_CTS	SDC0_CLK	FLASH_MOSI
20	PB9	SDC0_D0	SPI2_CLK		UART3_RTS		SDC0_CMD	FLASH_CLK
21	PB10	SDC0_D1	SPI2_HOLD		UART3_TX	IR_RX	SDC0_D3	XPWM4
22	PB11	SDC0_D2	SPI2_WP		UART3_RX	IR_TX	SDC0_D2	XPWM5
GPIO D								
26	PD11			I2S0_DIN				
25	PD13	-	-	I2S0_LRCK	-	CLK_OUT0	-	-
24	PD15	-	XPWM2	I2S0_MCLK	-	-	-	-
GPIO E								
29	PE0		DVP_D0	SPI1_CS	LCD_D20	QEP1_B	XPWM0	
30	PE1		DVP_D1	SPI1_MISO	LCD_D21	QEP1_I	XPWM1	
31	PE2		DVP_D2	SPI1_MOSI	LCD_D22	UART4_TX	QEPO_A	
32	PE3		DVP_D3	I2S0_MCLK	LCD_D23	UART4_RX	QEPO_B	LCD_D21
33	PE4		DVP_D4		LCD_DCLK	UART4_RTS	QEPO_I	

表 5-2 G720AxU 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
34	PE5		DVP_D5		LCD_HS	SPI1_CS	QEP1_A	
35	PE6		DVP_D6		LCD_VS	SPI1_MISO	QEP1_B	
36	PE7		DVP_D7	LCD_TE	LCD_DE	SPI1_MOSI	QEP1_I	
37	PE8		DVP_CK		LCD_D16	SPI1_CLK	EPWM2_B	
38	PE9		DVP_HS		LCD_D17	SPI1_HOLD	EPWM2_A	
39	PE10		DVP_VS		LCD_D18	SPI1_WP	EPWM1_B	
40	PE11		XPWM2	CLK_OUT0	LCD_D19	I2S0_LRCK	EPWM1_A	
41	PE12		XPWM3	I2C0_SCK		I2S0_BCLK	EPWM0_B	
42	PE13		XPWM4	I2C0_SDA		I2S0_DOUT	EPWM0_A	
GPIO F								
44	PF1 ⁽¹⁾	CAPO	XPWM1		DSPK0			CMU_CKN
GPIO N								
13	PN0	USB0_DM		UART0_RX	UART1_RX			
14	PN1	USB0_DP		UART0_TX	UART1_TX			

(1) PF1 使用 LDO25 电源域，做普通 IO

5.4. 引脚描述

表 5-3 G720 系列

引脚/信号名称	描述	类型
FLASH		
FLASH_CS	Sip FLASH CS 引脚映射，可用于母片烧录(量产烧录方式之一)	I/O
FLASH_MISO	Sip FLASH MISO 引脚映射，可用于母片烧录(量产烧录方式之一)	I/O
FLASH_MOSI	Sip FLASH MOSI 引脚映射，可用于母片烧录(量产烧录方式之一)	I/O
FLASH_CLK	Sip FLASH CLK 引脚映射，可用于母片烧录(量产烧录方式之一)	I/O
USB		
USB0_DM	USB0 数据信号负端，串电阻不大于 2.2R，结电容 Cj 不大于 1pF	A/I/O
USB0_DP	USB0 数据信号正端，串电阻不大于 2.2R，结电容 Cj 不大于 1pF	A/I/O
SDC		

表 5-3 G720 系列 (续)

引脚/信号名称	描述	类型
SDC0_CMD	SDIO 控制信号	I/O
SDC0_CLK	SDIO 时钟信号	O
SDC0_D[3:0]	SDIO 数据输入输出	I/O
QSPI, x = 1~2		
SPIx_HOLD	SPIx 保持信号, 外挂上拉; QSPI 数据线 IO3	I/O
SPIx_WP	SPIx 写保护信号, 外挂上拉; QSPI 数据线 IO2	I/O
SPIx_CS	SPIx 片选信号, 外挂上拉; QSPI 片选信号	I/O
SPIx_CLK	SPIx 时钟信号; QSPI 时钟信号	I/O
SPIx_MOSI	SPIx 主机数据输出, 从机数据输入; QSPI 数据线 IO0	I/O
SPIx_MISO	SPIx 主机数据输入, 从机数据输出; QSPI 数据线 IO1	I/O
UART, x = 0~4		
UARTx_TX	UARTx 数据发送	O
UARTx_RX	UARTx 数据接收	I
UARTx_CTS	UARTx 发送允许	I
UARTx_RTS	UARTx 发送请求	O
I2C, x = 0~1		
I2Cx_SCL	I2Cx 串行时钟信号	I/O
I2Cx_SDA	I2Cx 串行数据信号	I/O
CIR		
IR_TX	红外数据发送	O
IR_RX	红外数据接收	I
DSPK		
DSPK0	Speaker 信号输出通道 0	O
I2S		
I2S0_MCLK	I2S 主时钟	O
I2S0_LRCK	I2S 左/右时钟	I/O
I2S0_BCLK	I2S 位时钟	I/O
I2S0_DOUT	I2S 串行数据输出	O
I2S0_DIN	I2S 串行数据输入	I

表 5-3 G720 系列 (续)

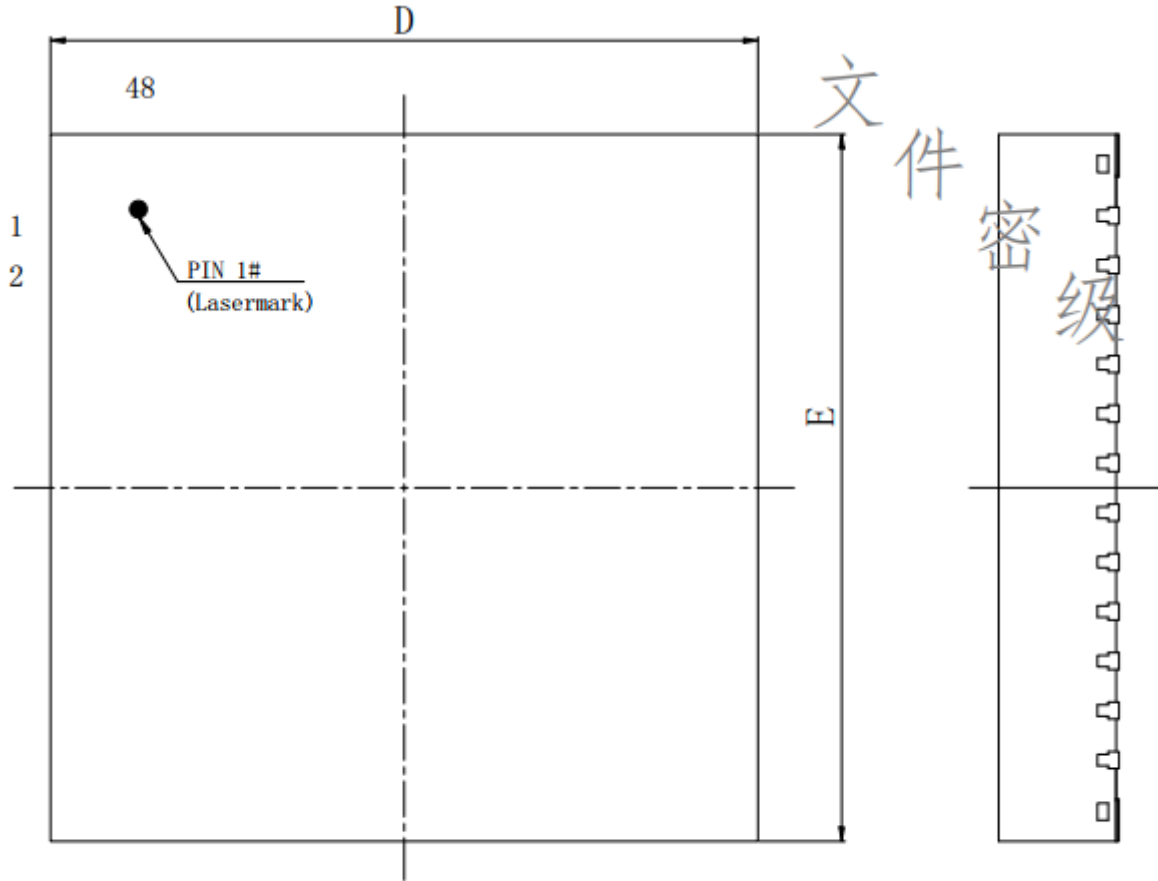
引脚/信号名称	描述	类型
XPWM, x = 0~5		
XPWM _x	PWM 输出	O
EPWM, x = 0~2		
EPWM _x _A	EPWM _x A 通道	O
EPWM _x _B	EPWM _x B 通道	O
CAP, x = 0~1		
CAP _x	方波输入捕获	I/O
QEP, x = 0~1		
QEP _n _A	QEP _n 的输入 A 信号	I
QEP _n _B	QEP _n 的输入 B 信号	I
QEP _n _I	QEP _n 的输入输出 I 信号	I/O
ADC, x = 0~5		
GPADC _x	模拟采样信号输入	AI
RTP		
RTP_XP	RTP X 方向正端, 若不使用 RTP 可当 ADC 功能使用	AI
RTP_YP	RTP Y 方向正端, 若不使用 RTP 可当 ADC 功能使用	AI
RTP_XN	RTP X 方向负端, 若不使用 RTP 可当 ADC 功能使用	AI
RTP_YN	RTP Y 方向负端, 若不使用 RTP 可当 ADC 功能使用	AI
LCD		
LCD_D[23:16]	LCD_D[23:16]为 SRGB/I8080 屏数据[DB7~DB0]输出 LCD_D[21] 为 SPI 屏数据输出 LCD_D[23:20] 为 QSPI 屏 SDA[3:0]数据输出	O
LCD_DCLK	SRGB 屏时钟信号; I8080 屏 WR 信号; SPI/QSPI 屏 SCL 信号;	O
LCD_HS	SRGB 屏行场同步; I8080 屏 RD 信号;	O
LCD_VS	SRGB 屏列场同步; I8080 屏 CS 信号; SPI/QSPI 屏 CS 信号	O
LCD_DE	SRGB 屏数据使能; I8080 屏 RS 信号; SPI/QSPI 屏 RS 信号	O
LCD_TE	TE 信号输入, 常见于 I8080 屏、SPI/QSPI 屏	I
DVP		
DVP_CK	DVP 像素时钟	I

表 5-3 G720 系列 (续)

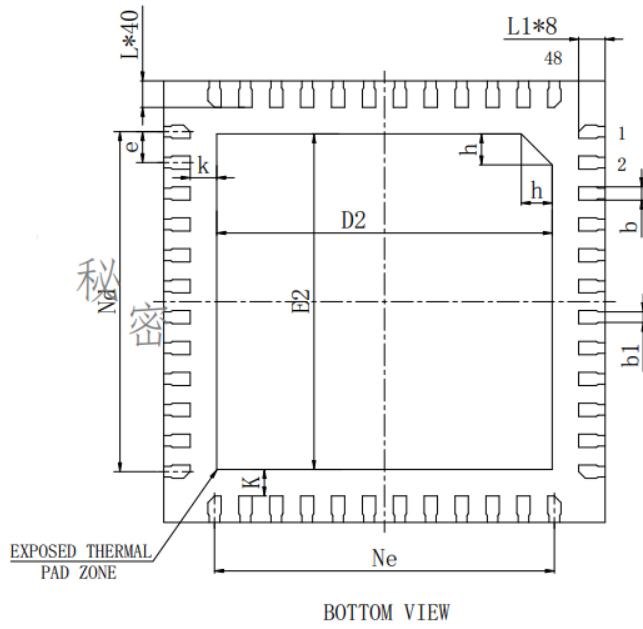
引脚/信号名称	描述	类型
DVP_HS	DVP 行场同步	I
DVP_VS	DVP 列场同步	I
DVP_D[7:0]	DVP 数据输入	I
CLK_OUT		
CLK_OUT0	PLL 时钟分频输出, 可输出 24MHz/25MHz/50MHz 等时钟	O
JTAG		
JTAG_MS	两线制 JTAG 数据信号	I/O
JTAG_CK	两线制 JTAG 时钟信号	I/O
CMU_CK		
CMU_CKN	测试时钟分频输出负端	O
CMU_CKP	测试时钟分频输出正端	O

5.5. 封装尺寸

5.5.1. G720 系列



TOP VIEW



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.10	0.15	0.20
b1	0.12REF		
c	0.152REF		
D	4.90	5.00	5.10
D2	3.70	3.80	3.90
e	0.35BSC		
Nd	3.85BSC		
Ne	3.85BSC		
E	4.90	5.00	5.10
E2	3.70	3.80	3.90
L	0.25	0.30	0.35
L1	0.20	0.30	0.40
h	0.30	0.35	0.40
k	0.30REF		