



D12_x 硬件指南

Version 1.1

修订日期： 2024-07-10

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其他义务。

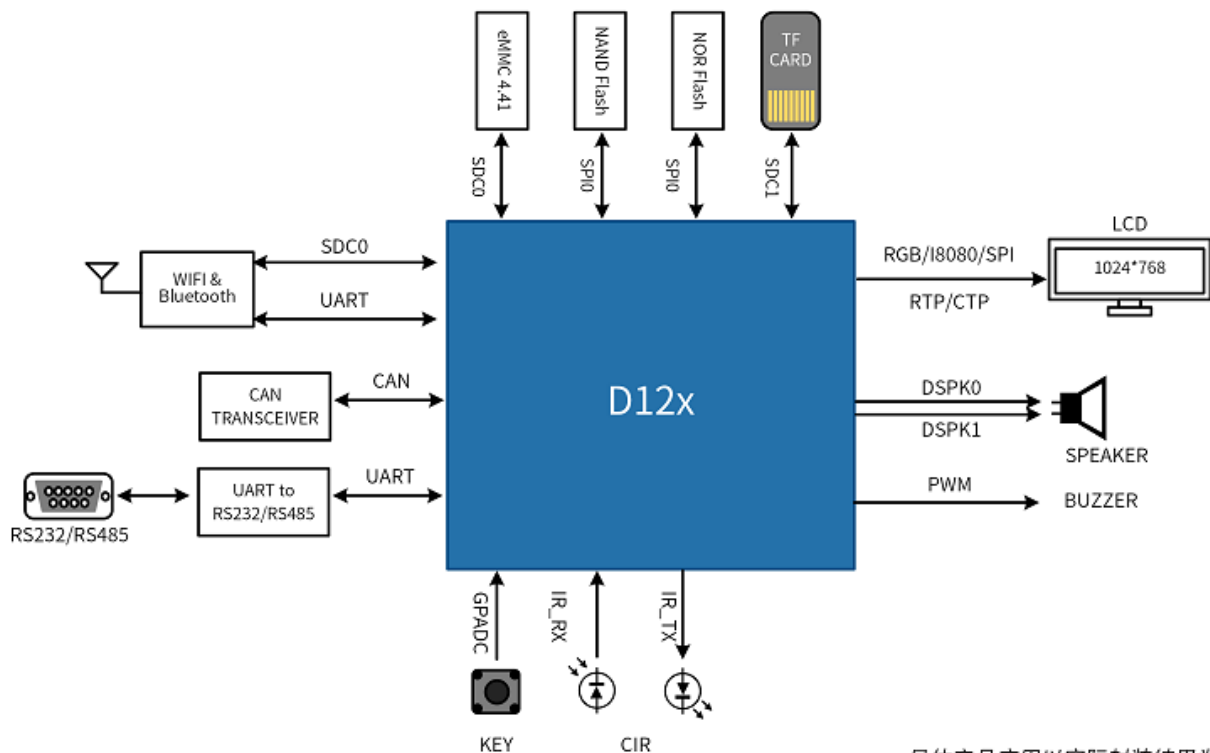
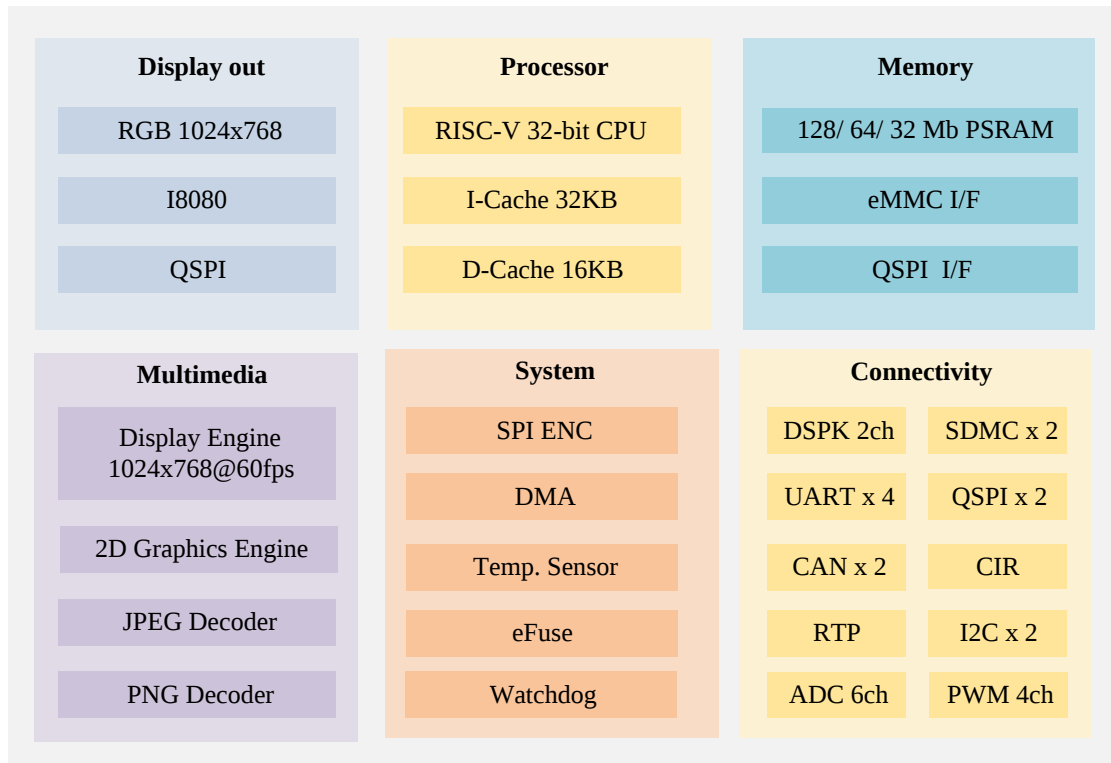
凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

内容

版权声明.....	ii
1. 简介.....	4
2. 原理图设计.....	5
2.1. 引脚复用.....	5
2.1.1. D12x 功能复用.....	5
2.1.2. D12x QFN68 封装引脚说明.....	6
2.1.3. D121 QFN68 封装功能复用表.....	7
2.1.4. D122 QFN68 封装功能复用表.....	8
2.2. 时钟和电源.....	10
2.2.1. POWER.....	10
2.2.2. SYSTEM.....	11
2.3. 存储.....	11
2.3.1. PSRAM.....	11
2.3.2. FLASH.....	11
2.3.3. eMMC.....	12
2.3.4. CARD.....	13
2.4. 多媒体.....	14
2.4.1. PRGB 屏接口.....	14
2.4.2. MCU 屏接口.....	17
2.4.3. TP.....	19
2.4.4. PWM.....	19
2.4.5. AUDIO.....	20
2.5. 通用接口.....	21
2.5.1. SPI.....	21
2.5.2. UART.....	21
2.5.3. I2C.....	23
2.5.4. CAN.....	23
2.5.5. CIR.....	24
2.5.6. SDIO.....	24
3. 布线设计.....	26
3.1. 电源.....	26
3.2. 布局.....	26
3.3. 旁路和去耦.....	26
3.4. DCDC 电路.....	26
3.5. 高速信号.....	26
3.6. 屏蔽.....	27
3.7. 隔离.....	27
3.8. 信号回流路径.....	27
4. 设计自查.....	28

1. 简介

D12x 是一款基于 RISC-V 的高性能、国产自主、工业级高清显示与智能控制 MCU，配备强大的 2D 图形加速处理器、PNG/JPEG 解码引擎、丰富的接口，支持工业宽温，具有高可靠性、高开放性，可广泛应用于工业自动化控制、串口屏等智慧工业和智慧家居领域。



具体产品应用以实际封装结果为准

2. 原理图设计

2.1. 引脚复用

2.1.1. D12x 功能复用

表 2-1 D12x 功能复用表

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	CPU_NMI
PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	DE_TE
PA2	GPADC2	CAN1_TX	I2C1_SCL	UART1_TX	-	UART2_CTS
PA3	GPADC3	CAN1_RX	I2C1_SDA	UART1_RX	-	UART2_RTS
PA4	GPADC4	-	CAN0_TX	UART2_TX	-	-
PA5	GPADC5	-	CAN0_RX	UART2_RX	-	-
PA8	RTP_XP	-	I2C0_SCL	-	-	-
PA9	RTP_YP	-	I2C0_SDA	-	-	-
PA10	RTP_XN	IR_RX	-	-	-	JTAG_MS
PA11	RTP_YN	IR_TX	-	-	-	JTAG_CK
PB0	SPI0_WP	SPI1_WP	-	UART0_TX	-	-
PB1	SPI0_MISO	SPI1_MISO	-	UART2_TX	-	-
PB2	SPI0_CS0	SPI1_CS	-	UART2_RX	-	-
PB3	SPI0_HOLD	SPI1_HOLD	-	UART0_RX	-	-
PB4	SPI0_CLK	SPI1_CLK	-	UART2_RTS	-	-
PB5	SPI0_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
PC0	SDC1_D1	-	I2C0_SCL	UART3_RTS	-	JTAG_MS
PC1	SDC1_D0	-	-	-	-	-
PC2	SDC1_CLK	-	-	-	-	UART0_TX
PC3	SDC1_CMD	-	-	-	-	-
PC4	SDC1_D3	PWM0_A	I2C1_SCL	UART3_TX	-	UART0_RX
PC5	SDC1_D2	PWM0_B	I2C1_SDA	UART3_RX	-	JTAG_CK
PC6	SDC1_DET	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	IR_RX
PC7	-	PWM1_B	-	-	-	IR_TX
PD0	LCD_D0	CAN0_TX	I2C0_SCL	UART0_TX	-	-
PD1	LCD_D1	CAN0_RX	I2C0_SDA	UART0_RX	-	-
PD2	LCD_D2	CAN1_TX	I2C1_SCL	UART1_TX	-	-
PD3	LCD_D3	CAN1_RX	I2C1_SDA	UART1_RX	-	-
PD4	LCD_D4	-	I2C1_SCL	UART2_TX	-	-

表 2-1 D12x 功能复用表 (续)

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PD5	LCD_D5	–	I2C1_SDA	UART2_RX	–	–
PD6	LCD_D6	–	PWM0_A	DSPK0	–	–
PD7	LCD_D7	–	PWM0_B	DSPK1	–	–
PD8	LCD_D8	–	PWM1_A	–	–	–
PD9	LCD_D9	–	–	–	–	–
PD10	LCD_D10	–	–	–	–	–
PD11	LCD_D11	–	–	–	–	–
PD12	LCD_D12	–	–	–	–	–
PD13	LCD_D13	–	–	–	–	–
PD14	LCD_D14	–	–	–	–	–
PD15	LCD_D15	–	–	–	–	–
PD16	LCD_D16	–	–	–	–	–
PD17	LCD_D17	–	–	–	–	–
PD18	LCD_D18	–	–	–	–	–
PD19	LCD_D19	–	–	–	–	–
PD20	LCD_D20	–	–	–	–	–
PD21	LCD_D21	–	–	–	–	–
PD22	LCD_D22	–	–	–	–	–
PD23	LCD_D23	–	–	–	–	–
PD24	LCD_DCLK	–	–	–	–	–
PD25	LCD_HS	–	–	–	PWM0_B	–
PD26	LCD_VS	–	–	–	PWM1_A	–
PD27	LCD_DE	–	–	–	PWM1_B	–
PE12	–	PWM1_B	–	DSPK1	–	–
PE13	–	PWM0_A	–	DSPK0	–	–

2.1.2. D12x QFN68 封装引脚说明

表 2-2 D12x QFN68 封装引脚说明

引脚	定义	类型	功能	备注说明
SYSTEM				
52	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 μ F。
POWER				
12, 29, 54	VCC33_IO	POWER	芯片 IO 电压	3.3 V 供电
55	LDO25	POWER	内置 LDO 输出	内部模拟模块使用，外部接 1 μ F 旁路电容。
28	LDO18	POWER	内置 LDO 输出	供内部 PSRAM 使用，若使用需做好芯片散热，外部接 1 μ F 旁路电容。
27, 53	VDD11_SYS	POWER	芯片 Core 电压	1.1 V 供电，若使用内置 LDO1x，必须做好芯片散热
69	GND	POWER	–	GND 铜皮全连接，需多加过孔散热。

2.1.3. D121 QFN68 封装功能复用表

表 2-3 D121 QFN68 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO A							
56	PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	CPU_NMI
57	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	DE_TE
58	PA2	GPADC2	-	I2C1_SCL	UART1_TX	-	UART2_CTS
59	PA3	GPADC3	-	I2C1_SDA	UART1_RX	-	UART2_RTS
60	PA4	GPADC4	-	-	UART2_TX	-	-
61	PA5	GPADC5	-	-	UART2_RX	-	-
62	PA8	RTP_XP	-	I2C0_SCL	-	-	-
63	PA9	RTP_YP	-	I2C0_SDA	-	-	-
64	PA10	RTP_XN	IR_RX	-	-	-	JTAG_MS
65	PA11	RTP_YN	IR_TX	-	-	-	JTAG_CK
GPIO B							
40	PB0	SPI0_WP	SPI1_WP	-	UART0_TX	-	-
41	PB1	SPI0_MISO	SPI1_MISO	-	UART2_TX	-	-
42	PB2	SPI0_CS0	SPI1_CS	-	UART2_RX	-	-
43	PB3	SPI0_HOLD	SPI1_HOLD	-	UART0_RX	-	-
44	PB4	SPI0_CLK	SPI1_CLK	-	UART2_RTS	-	-
45	PB5	SPI0_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
46	PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
47	PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
48	PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
49	PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
50	PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
51	PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
GPIO C							
66	PC0	-	I2C0_SCL	UART3_RTS	-	-	JTAG_MS
67	PC1	-	-	-	-	-	-
68	PC2	-	-	-	-	-	UART0_TX
1	PC3	-	-	-	-	-	-
2	PC4	PWM0_A	I2C1_SCL	UART3_TX	-	-	UART0_RX
3	PC5	PWM0_B	I2C1_SDA	UART3_RX	-	-	JTAG_CK
4	PC6	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	-	IR_RX
5	PC7	PWM1_B	-	-	-	-	IR_TX
GPIO D							
37	PD0	LCD_D0		I2C0_SCL	UART0_TX	-	-
36	PD1	LCD_D1		I2C0_SDA	UART0_RX	-	-
35	PD2	LCD_D2		I2C1_SCL	UART1_TX	-	-
34	PD3	LCD_D3		I2C1_SDA	UART1_RX	-	-
33	PD4	LCD_D4	-	I2C1_SCL	UART2_TX	-	-

表 2-3 D121 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
32	PD5	LCD_D5	-	I2C1_SDA	UART2_RX	-	-
31	PD6	LCD_D6	-	PWM0_A	DSPK0	-	-
30	PD7	LCD_D7	-	PWM0_B	DSPK1	-	-
26	PD8	LCD_D8	-	PWM1_A	-	-	-
25	PD9	LCD_D9	-	-	-	-	-
24	PD10	LCD_D10	-	-	-	-	-
23	PD11	LCD_D11	-	-	-	-	-
22	PD12	LCD_D12	-	-	-	-	-
21	PD13	LCD_D13	-	-	-	-	-
20	PD14	LCD_D14	-	-	-	-	-
19	PD15	LCD_D15	-	-	-	-	-
18	PD16	LCD_D16	-	-	-	-	-
17	PD17	LCD_D17	-	-	-	-	-
16	PD18	LCD_D18	-	-	-	-	-
15	PD19	LCD_D19	-	-	-	-	-
14	PD20	LCD_D20	-	-	-	-	-
13	PD21	LCD_D21	-	-	-	-	-
11	PD22	LCD_D22	-	-	-	-	-
10	PD23	LCD_D23	-	-	-	-	-
9	PD24	LCD_DCLK	-	-	-	-	-
8	PD25	LCD_HS	-	-	-	PWM0_B	-
7	PD26	LCD_VS	-	-	-	PWM1_A	-
6	PD27	LCD_DE	-	-	-	PWM1_B	-
GPIO E							
38	PE12	PWM1_B	-	DSPK1	-	-	-
39	PE13	PWM0_A	-	DSPK0	-	-	-

2.1.4. D122 QFN68 封装功能复用表

表 2-4 D122 QFN68 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO A							
56	PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	CPU_NMI
57	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	DE_TE
58	PA2	GPADC2	CAN1_TX	I2C1_SCL	UART1_TX	-	UART2_CTS
59	PA3	GPADC3	CAN1_RX	I2C1_SDA	UART1_RX	-	UART2_RTS
60	PA4	GPADC4	-	CAN0_TX	UART2_TX	-	-
61	PA5	GPADC5	-	CAN0_RX	UART2_RX	-	-
62	PA8	RTP_XP	-	I2C0_SCL	-	-	-
63	PA9	RTP_YP	-	I2C0_SDA	-	-	-
64	PA10	RTP_XN	IR_RX	-	-	-	JTAG_MS
65	PA11	RTP_YN	IR_TX	-	-	-	JTAG_CK

表 2-4 D122 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO B							
40	PB0	SPIO_WP	SPI1_WP	-	UART0_TX	-	-
41	PB1	SPIO_MISO	SPI1_MISO	-	UART2_TX	-	-
42	PB2	SPIO_CS0	SPI1_CS	-	UART2_RX	-	-
43	PB3	SPIO_HOLD	SPI1_HOLD	-	UART0_RX	-	-
44	PB4	SPIO_CLK	SPI1_CLK	-	UART2_RTS	-	-
45	PB5	SPIO_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
46	PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
47	PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
48	PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
49	PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
50	PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
51	PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
GPIO C							
66	PC0	-	I2C0_SCL	UART3_RTS	-	-	JTAG_MS
67	PC1	-	-	-	-	-	-
68	PC2	-	-	-	-	-	UART0_TX
1	PC3	-	-	-	-	-	-
2	PC4	PWM0_A	I2C1_SCL	UART3_TX	-	-	UART0_RX
3	PC5	PWM0_B	I2C1_SDA	UART3_RX	-	-	JTAG_CK
4	PC6	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	-	IR_RX
5	PC7	PWM1_B	-	-	-	-	IR_TX
GPIO D							
37	PD0	LCD_D0	CAN0_TX	I2C0_SCL	UART0_TX	-	-
36	PD1	LCD_D1	CAN0_RX	I2C0_SDA	UART0_RX	-	-
35	PD2	LCD_D2	CAN1_TX	I2C1_SCL	UART1_TX	-	-
34	PD3	LCD_D3	CAN1_RX	I2C1_SDA	UART1_RX	-	-
33	PD4	LCD_D4	-	I2C1_SCL	UART2_TX	-	-
32	PD5	LCD_D5	-	I2C1_SDA	UART2_RX	-	-
31	PD6	LCD_D6	-	PWM0_A	DSPK0	-	-
30	PD7	LCD_D7	-	PWM0_B	DSPK1	-	-
26	PD8	LCD_D8	-	PWM1_A	-	-	-
25	PD9	LCD_D9	-	-	-	-	-
24	PD10	LCD_D10	-	-	-	-	-
23	PD11	LCD_D11	-	-	-	-	-
22	PD12	LCD_D12	-	-	-	-	-
21	PD13	LCD_D13	-	-	-	-	-
20	PD14	LCD_D14	-	-	-	-	-
19	PD15	LCD_D15	-	-	-	-	-
18	PD16	LCD_D16	-	-	-	-	-
17	PD17	LCD_D17	-	-	-	-	-

表 2-4 D122 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
16	PD18	LCD_D18	-	-	-	-	-
15	PD19	LCD_D19	-	-	-	-	-
14	PD20	LCD_D20	-	-	-	-	-
13	PD21	LCD_D21	-	-	-	-	-
11	PD22	LCD_D22	-	-	-	-	-
10	PD23	LCD_D23	-	-	-	-	-
9	PD24	LCD_DCLK	-	-	-	-	-
8	PD25	LCD_HS	-	-	-	PWM0_B	-
7	PD26	LCD_VS	-	-	-	PWM1_A	-
6	PD27	LCD_DE	-	-	-	PWM1_B	-
GPIO E							
38	PE12	PWM1_B	-	DSPK1	-	-	-
39	PE13	PWM0_A	-	DSPK0	-	-	-

2.2. 时钟和电源

2.2.1. POWER

表 2-5 电源系统方案

方案	描述	优点	缺点
1	芯片 VCC33_IO (3.3 V/ 200 mA)、VDD11_SYS (1.1 V/ 200 mA) 和 LDO18 (1.8 V/ 200 mA) 全都使用外部 DCDC 供电。	发热最小、功耗最小	成本最高
2	芯片 VCC33_IO (3.3 V/ 200 mA) 和 VDD11_SYS (1.1 V/ 200 mA) 采用外部 DCDC 供电，LDO18 使用内置 LDO 供电。	DCDC 电源效率高功耗降低	
3	芯片 VCC33_IO (3.3 V/ 300 mA) 采用单 3.3 V 供电，VDD11_SYS 和 LDO18 使用内置 LDO 供电。	电路简洁、成本最低，优先推荐方案	LDO 电源效率低、功耗最高

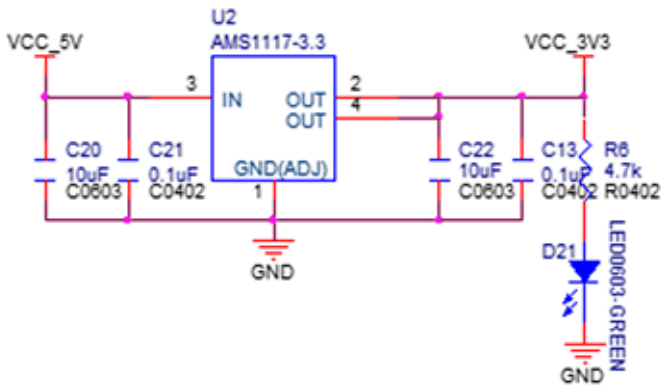


图 2-1 芯片 VCC33_IO 单 3.3 V 电源供电原理图

- 内置 LDO18，芯片复位时默认关闭，SDK 可配置输出 1.8 V 供 PSRAM 使用，LDO18 引脚外部接 10 uF + 0.1 uF 旁路电容即可。
- 内置 LDO1x，芯片复位时默认开启，SDK 可配置输出 1.1 V 供 VDD11_SYS 使用，VDD11_SYS 引脚外挂 10 uF + 0.1 uF 旁路电容即可。
- 内置 LDO25，默认开启，供内部模拟模块使用，LDO25 引脚外部接 1 uF 旁路电容即可。

上下电时序要求

- 无上下电时序要求。
- 内置 24M OSC，无需外挂晶振。
- 复位信号内置约 30 K Ω 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 μ F。上电完成后，复位自动释放。

2.2.2. SYSTEM

表 2-6 系统功能脚说明

信号名	信号说明	应用说明
UBOOT	升级模式配置	如需进入升级模式，可在 UBOOT 或 bootloader 配置任意 IO 为下拉检测或上拉检测，SDK 默认使用 PA0 下降沿检测，建议预留按键或跳线。
RESET	芯片复位脚	内部 RC 上拉，低电平复位，可悬空，建议预留按键或跳线。

2.3. 存储

2.3.1. PSRAM

芯片型号不同内部 Sip 32 Mb/ 64 Mb/ 128 Mb PSRAM，最高频率 200 MHz DDR。

- LDO18 为芯片内部 1.8 V LDO 输出，可配置电压为 PSRAM 供电。
- PSRAM 功耗不超过 1.8 V/ 50 mA。



注：

- 若使用 LDO18 为 PSRAM 供电，会存在转换效率和发热问题，需注意 GND 焊盘加强散热，散热铜皮完整。
- 若产品方案对发热和功耗敏感，建议 PSRAM 采用外置 DCDC 供电。

2.3.2. FLASH

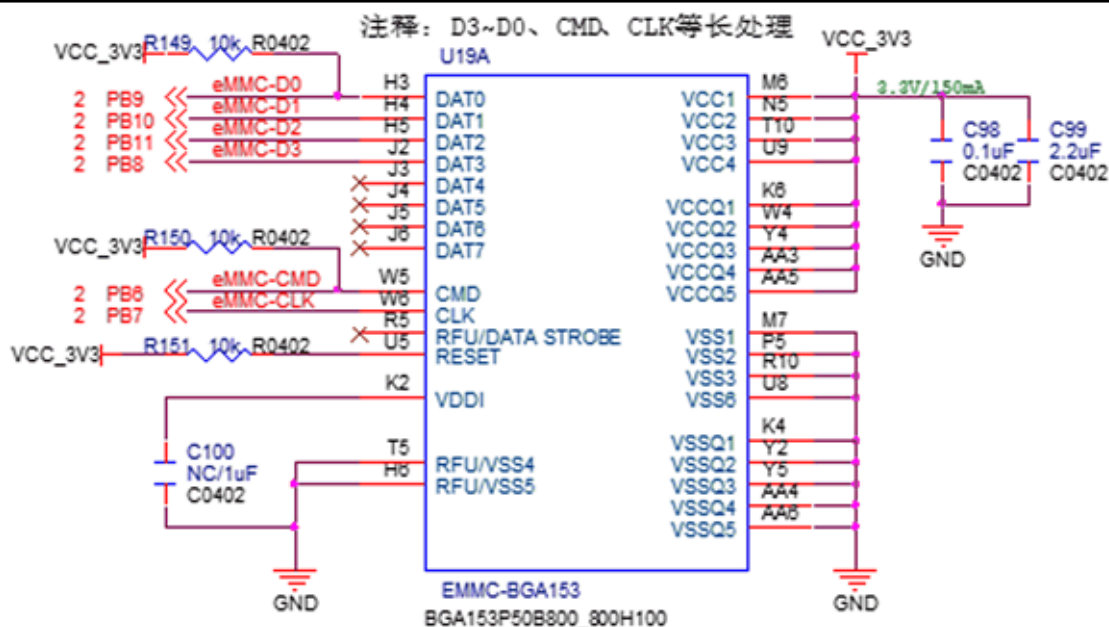
SPI0/ 1 为 QSPI 控制器，最大支持四线数据传输，用于 Flash 类型设备的快速读写访问。

- 默认使用 SPI0 为 Flash 类型设备启动接口。
- QSPI 支持 NAND Flash / NOR Flash，支持单/ 双/ 四线模式。
- IO 最大速率 SDR 100 MHz，仅支持 3.3 V IO 电压，Flash 容量不限制。



注：

- SPI_CS、SPI_WP、SPI_HOLD 必需保留上拉电阻。
- QSPI 信号必需做等长约束，约束不大于 20 mil，否则跑四线模式容易出现速度跑不高的情况。



2.3.4. CARD

使用 SDC1 接口，支持单线/四线模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- D0、CMD 和 DET 信号建议上拉到 VCC33_IO。
- SD 接口信号线 TVS 管结电容 < 22 pF，否则影响信号传输质量。
- 建议保留 DET 信号线上的 1k 串联电阻，避免在插入 SD CARD 时产生信号下冲，同时提高 GPIO ESD 性能。



注：

- SDC1_D0~SDC1_D3、SDC1_CLK、SDC1_CMD 信号走线做等长约束，约束不大于 50 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。

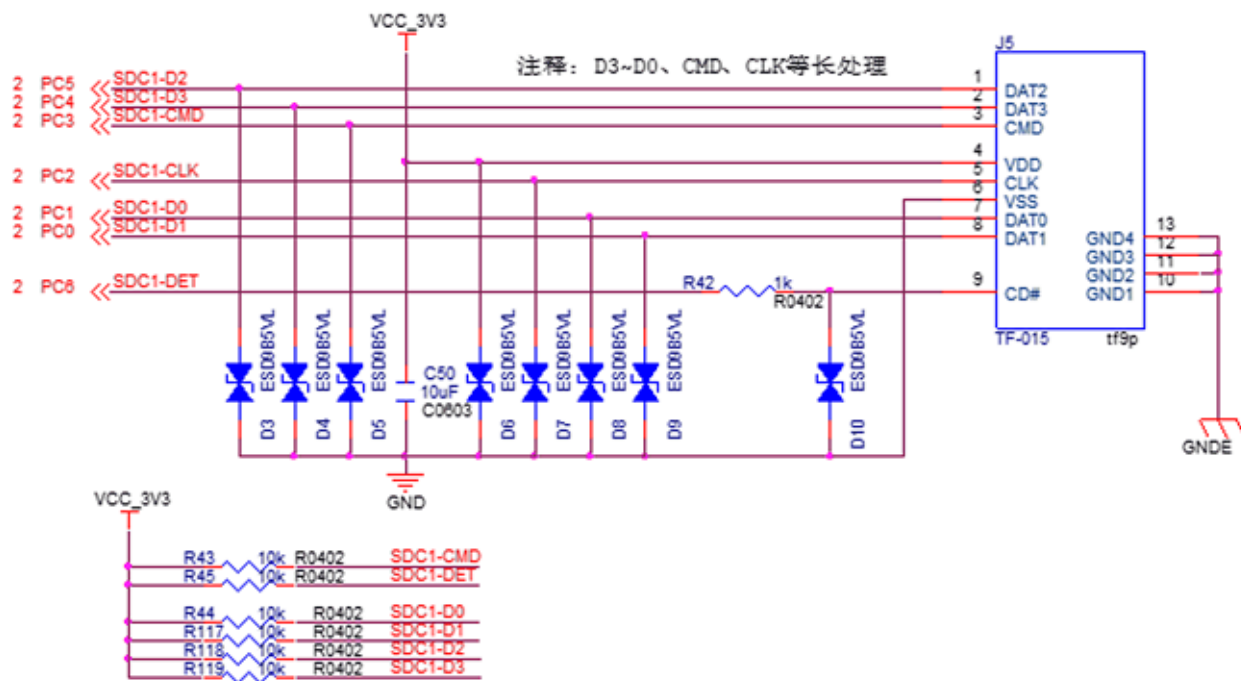


图 2-5 SDC1 CARD 电路原理图

2.4. 多媒体

2.4.1. PRGB 屏接口

PRGB 模式兼容五种 MAPPING 输出配置，默认为 24 bits，可配置为 18 bits、16 bits，相应的低位不使用。

- 配置 0：RGB888 建议使用，支持 R/G/B 整组信号互换。
- 配置 1：RGB666 建议使用，支持 R/G/B 整组信号互换。
- 配置 2：RGB666，支持 R/G/B 整组信号互换。
- 配置 3：RGB565 建议使用，支持 R/G/B 整组信号互换。
- 配置 4：RGB565，支持 R/G/B 整组信号互换。



注：

- 只有 RGB888 支持组内信号高位到低位排序互换，需软件配置 data-mirror。
- 默认配置为 RGB 线序，为方便 Layout，可将 R 和 B 整组互换，需软件配置将 data-order 修改为 BGR。
- RGB888 接口高位可用于 RGB666 或 RGB565，芯片端相应的低位不接或可用于其他功能。

		PRGB					SRGB	
PIN NAME	MAPPING	0	1	2	3	4	0	1
	BITS/PIXEL	24	18	18	16	16	24	18
	CLKS/PIXEL	1	1	1	1	1	3	3
GPD_P0	LCD_D0	B0	B0	B2	B0	B3	LCD_D0	LCD_D2
GPD_P1	LCD_D1	B1	B1	B3	B1	B4	LCD_D1	LCD_D3
GPD_P2	LCD_D2	B2	G0	B4	B2	B5	LCD_D2	LCD_D4
GPD_P3	LCD_D3	B3	G1	B5	G0	B6	LCD_D3	LCD_D5
GPD_P4	LCD_D4	B4	R0	B6	G1	B7	LCD_D4	LCD_D6
GPD_P5	LCD_D5	B5	R1	B7	R0	G2	LCD_D5	LCD_D7
GPD_P6	LCD_D6	B6	B2	G2	R1	G3	LCD_D6	LCD_D0
GPD_P7	LCD_D7	B7	B3	G3	R2	G4	LCD_D7	LCD_D1
GPD_P8	LCD_D8	G0	B4	G4	B3	G5	LCD_D0	LCD_D2
GPD_P9	LCD_D9	G1	B5	G5	B4	G6	LCD_D1	LCD_D3
GPD_P10	LCD_D10	G2	B6	G6	B5	G7	LCD_D2	LCD_D4
GPD_P11	LCD_D11	G3	B7	G7	B6	R3	LCD_D3	LCD_D5
GPD_P12	LCD_D12	G4	G2	R2	B7	R4	LCD_D4	LCD_D6
GPD_P13	LCD_D13	G5	G3	R3	G2	R5	LCD_D5	LCD_D7
GPD_P14	LCD_D14	G6	G4	R4	G3	R6	LCD_D6	LCD_D0
GPD_P15	LCD_D15	G7	G5	R5	G4	R7	LCD_D7	LCD_D1
GPD_P16	LCD_D16	R0	G6	R6	G5	B0	LCD_D0	LCD_D2
GPD_P17	LCD_D17	R1	G7	R7	G6	B1	LCD_D1	LCD_D3
GPD_P18	LCD_D18	R2	R2	B0	G7	B2	LCD_D2	LCD_D4
GPD_P19	LCD_D19	R3	R3	B1	R3	G0	LCD_D3	LCD_D5
GPD_P20	LCD_D20	R4	R4	G0	R4	G1	LCD_D4	LCD_D6
GPD_P21	LCD_D21	R5	R5	G1	R5	R0	LCD_D5	LCD_D7
GPD_P22	LCD_D22	R6	R6	R0	R6	R1	LCD_D6	LCD_D0
GPD_P23	LCD_D23	R7	R7	R1	R7	R2	LCD_D7	LCD_D1
GPD_P24	LCD_DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK
GPD_P25	LCD_HS	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC
GPD_P26	LCD_VS	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC
GPD_P27	LCD_DE	DE	DE	DE	DE	DE	DE	DE

图 2-6 RGB 不同配置定义

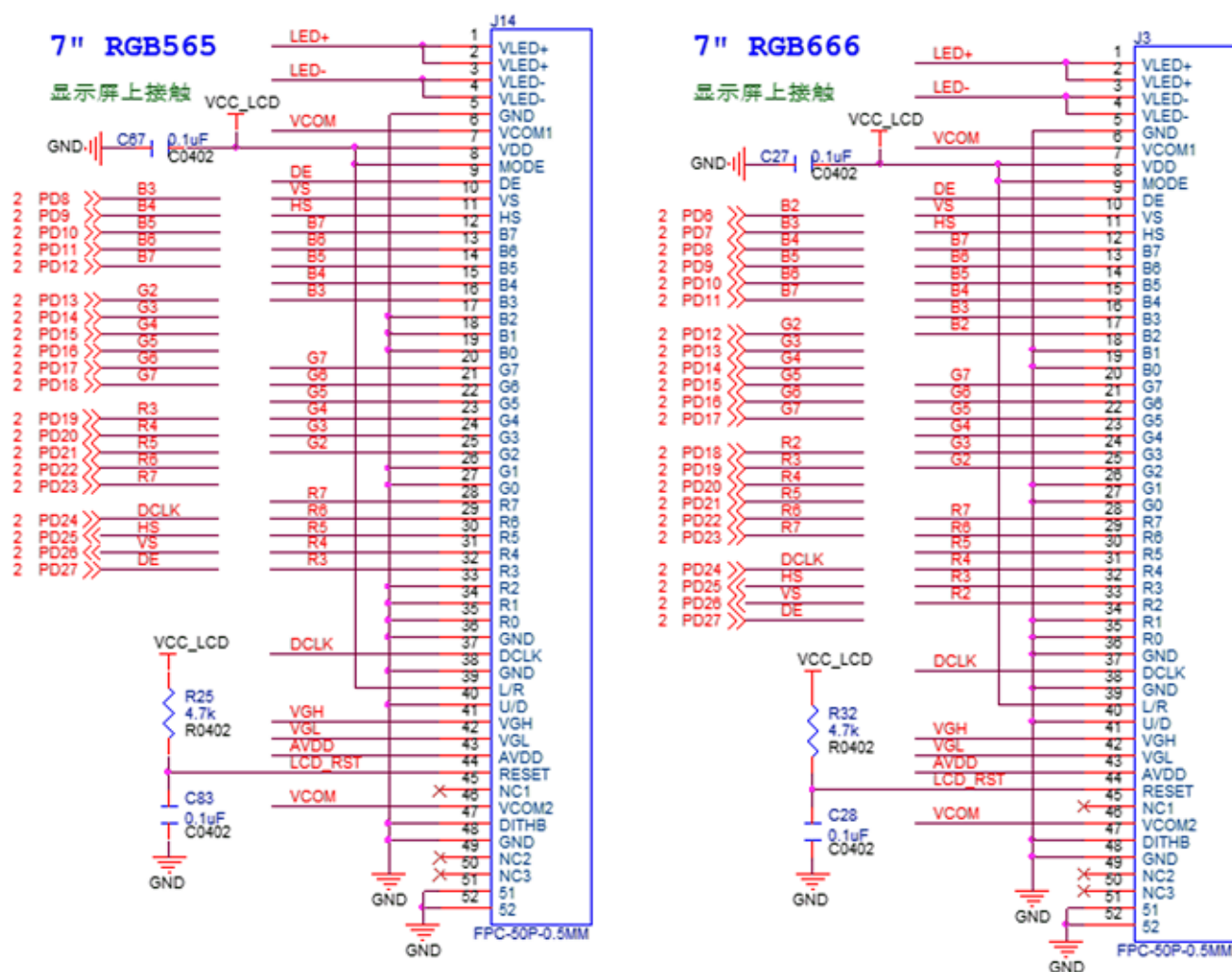


图 2-7 RGB565 / RGB666 电路原理图

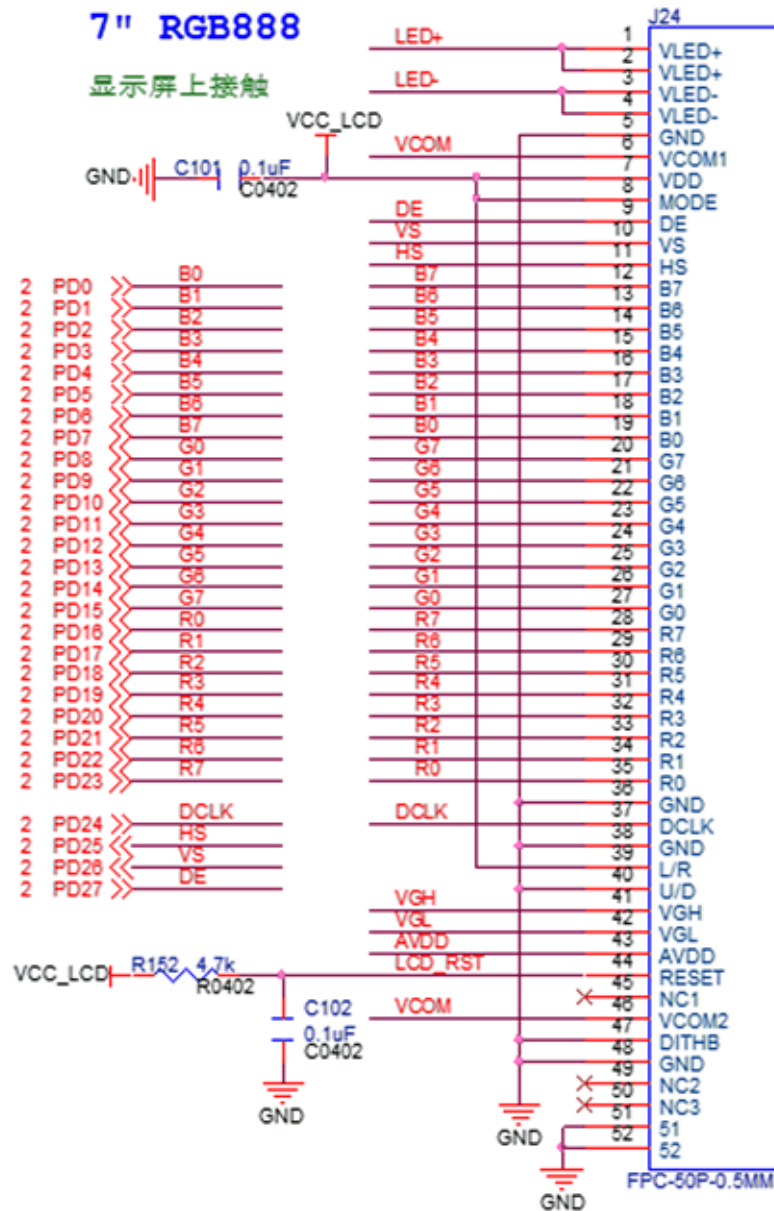


图 2-8 RGB888 电路原理图

2.4.2. MCU 屏接口

MCU 屏接口包含常见的 I8080、SPI、QSPI。

I8080								
PIN NAME	MAPPING	0	1	2	3	4	5	6
	BITS/PIXEL	24	18	16	24	18	16	24
	CLKS/PIXEL	1	1	1	2	2	2	3
GPD_P0	LCD_D0	DB0						
GPD_P1	LCD_D1	DB1						
GPD_P2	LCD_D2	DB2						
GPD_P3	LCD_D3	DB3						
GPD_P4	LCD_D4	DB4						
GPD_P5	LCD_D5	DB5						
GPD_P6	LCD_D6	DB6	DB0					
GPD_P7	LCD_D7	DB7	DB1					
GPD_P8	LCD_D8	DB8	DB2	DB0				
GPD_P9	LCD_D9	DB9	DB3	DB1				
GPD_P10	LCD_D10	DB10	DB4	DB2				
GPD_P11	LCD_D11	DB11	DB5	DB3				
GPD_P12	LCD_D12	DB12	DB6	DB4	DB0			
GPD_P13	LCD_D13	DB13	DB7	DB5	DB1			
GPD_P14	LCD_D14	DB14	DB8	DB6	DB2			
GPD_P15	LCD_D15	DB15	DB9	DB7	DB3	DB0		
GPD_P16	LCD_D16	DB16	DB10	DB8	DB4	DB1	DB0	DB0
GPD_P17	LCD_D17	DB17	DB11	DB9	DB5	DB2	DB1	DB1
GPD_P18	LCD_D18	DB18	DB12	DB10	DB6	DB3	DB2	DB2
GPD_P19	LCD_D19	DB19	DB13	DB11	DB7	DB4	DB3	DB3
GPD_P20	LCD_D20	DB20	DB14	DB12	DB8	DB5	DB4	DB4
GPD_P21	LCD_D21	DB21	DB15	DB13	DB9	DB6	DB5	DB5
GPD_P22	LCD_D22	DB22	DB16	DB14	DB10	DB7	DB6	DB6
GPD_P23	LCD_D23	DB23	DB17	DB15	DB11	DB8	DB7	DB7
GPD_P24	LCD_DCLK	WR	WR	WR	WR	WR	WR	WR
GPD_P25	LCD_HS	RD	RD	RD	RD	RD	RD	RD
GPD_P26	LCD_VS	CS	CS	CS	CS	CS	CS	CS
GPD_P27	LCD_DE	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS

图 2-9 I8080 不同配置定义



注:

SPI 屏通信接口交叉, PD21/ SDO 为输出, 需接屏端 SDI 输入; PD20/ SDI 为输入, 需接屏端 SDO 输出。

PIN NAME	MAPPING	SPI	SPI	QSPI
GPD_P20	LCD_D20	SDI	/	SDA0
GPD_P21	LCD_D21	SDO	SDA	SDA1
GPD_P22	LCD_D22	/	/	SDA2
GPD_P23	LCD_D23	/	/	SDA3
GPD_P24	LCD_DCLK	SCL	SCL	SCL
GPD_P25	LCD_HS	/	/	/
GPD_P26	LCD_VS	CS	CS	CS
GPD_P27	LCD_DE	RS	RS	RS

图 2-10 SPI/ QSPI 屏连接定义

2.4.3. TP

集成 RTP 电阻触摸屏接口，可支持 RTP 电阻屏触摸。

- RTP 仅支持 4 线，即 X+/X-/Y+/Y-。
- RTP 支持最多 2 点触摸。

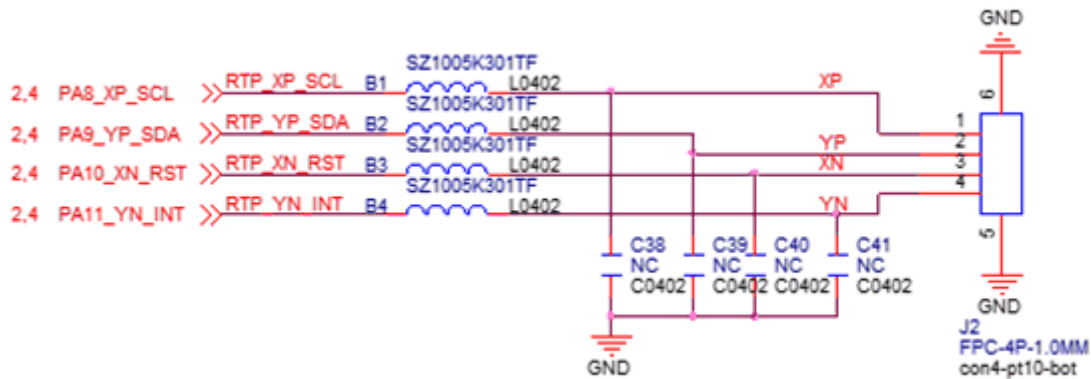


图 2-11 RTP 电阻屏触摸电路原理图

使用 I2C 和 GPIO，可支持 CTP 电容屏触摸。

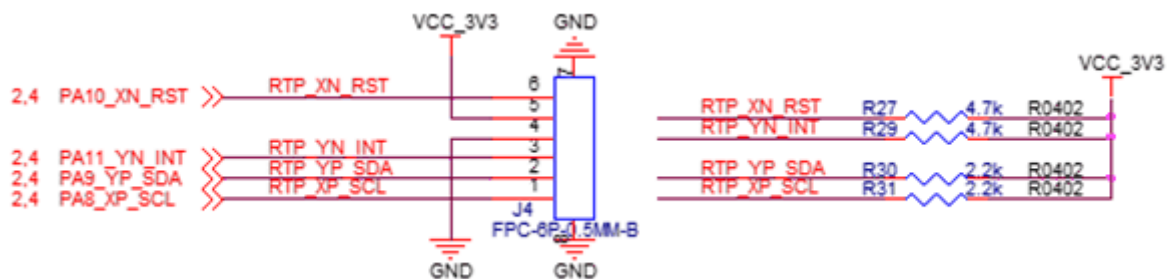


图 2-12 CTP 电容屏触摸电路原理图

2.4.4. PWM

支持下列 PWM 波形发生器：

- PWM0
- PWM1

PWM 波形发生器的说明如下：

- PWM_x_A 和 PWM_x_B 同属一组 PWM，可配置成单独输出或同时输出，但频率相同，占空比可不相同。
- PWM 通常用于背光控制，频率一般为 20 KHz ~ 1 MHz。
- PWM 通常用于蜂鸣器，频率一般为 3 KHz ~ 4 KHz。



注：

- PWM_x_A 和 PWM_x_B 可分开独立控制，但频率是相同的，占空比可独立调。
- 不同频率的应用不能使用同一组 PWM，比如蜂鸣器和背光，需分开使用不同通道。

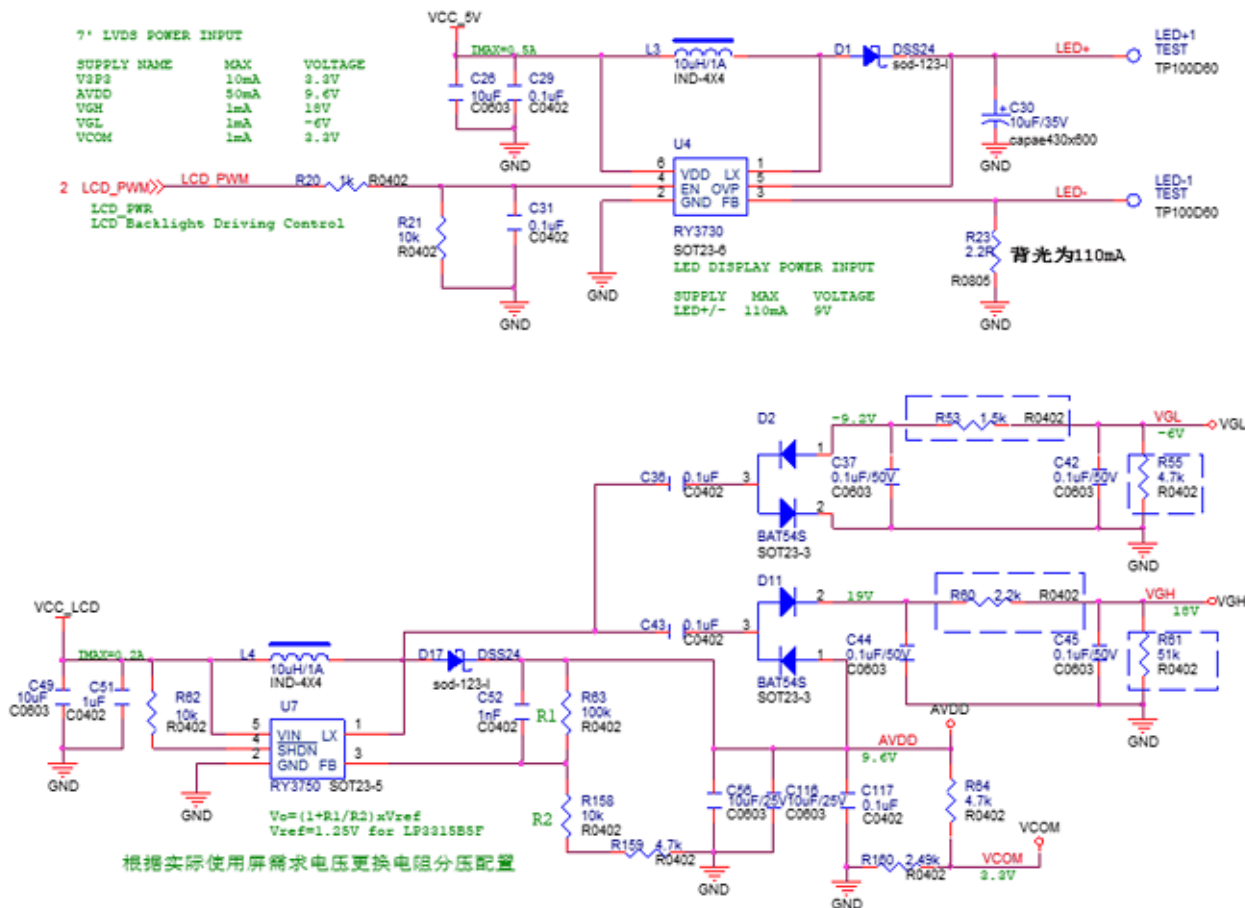


图 2-13 LCD 背光和偏压电路原理图

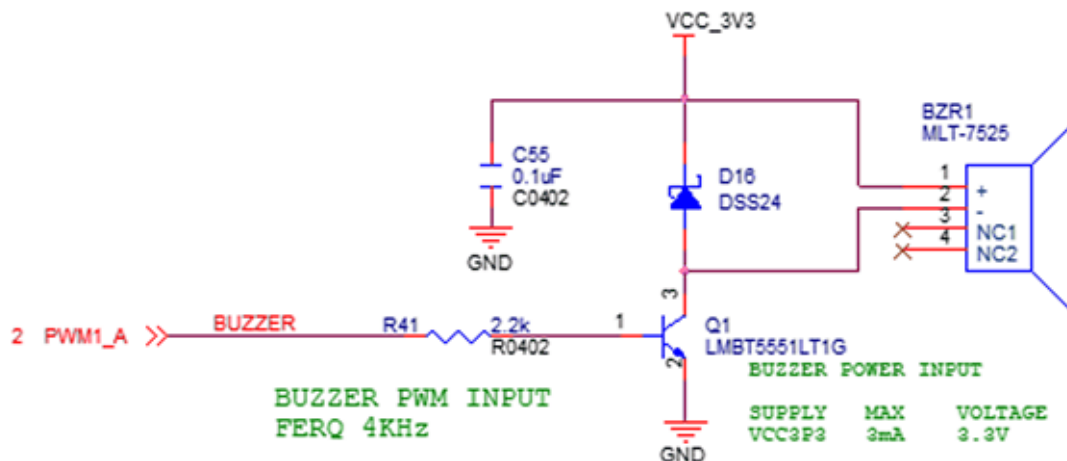


图 2-14 蜂鸣器电路原理图

2.4.5. AUDIO

• Speaker

- 支持 2 路单端输出（双喇叭，左右声道输出）。
- 支持 1 路差分输出（单喇叭，单声道输出）。
- 支持 DSPK0 和 DSPK1 内部混音后，再通过任意单一通路输出。



注:

DSPK 是数字信号, 从主控芯片出来必需接 RC ($R = 100R$, $C = 470\text{ nF}$) 转换成模拟信号才能给到音频功放。

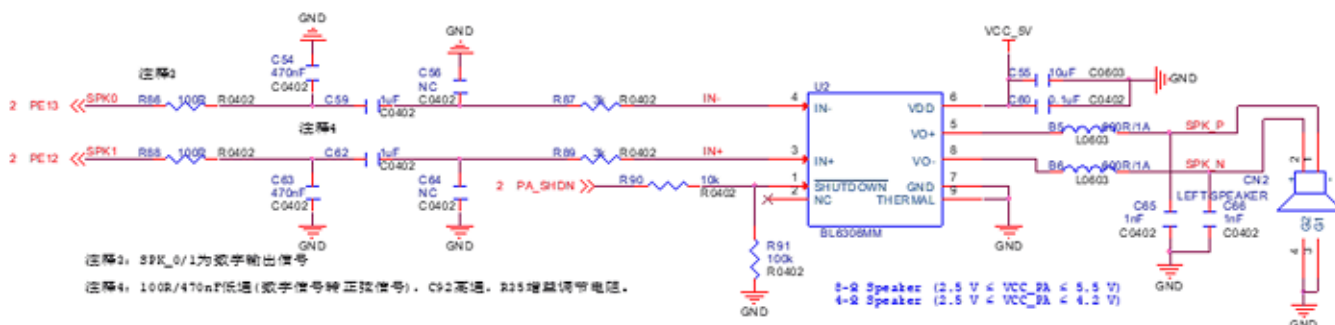


图 2-15 Speaker 差分输出电路原理图

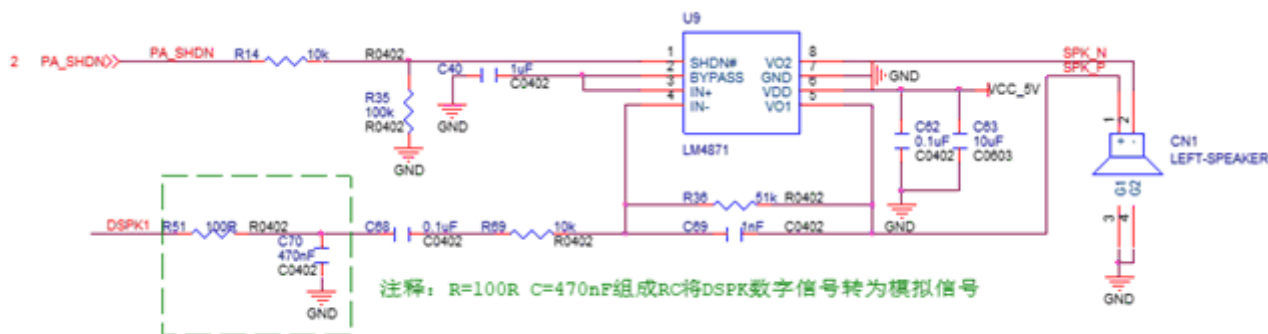


图 2-16 Speaker 单端输出电路原理图

2.5. 通用接口

2.5.1. SPI

SPI0/1 为标准 SPI 控制器, 用于存储设备或其他 SPI 接口设备的访问。

- 支持 Master, 不支持 Slave。
- SPI0/1 支持 QSPI 单/双/四线模式。
- SPI_CS、SPI_WP、SPI_HOLD 必需保留上拉电阻。

2.5.2. UART

UART 兼容工业 16550 标准, 支持常用波特率, 最大波特率支持 5 Mbps。

- 支持 UART 两线 (TX、RX), 通常应用于 TTL、RS485、RS232、DEBUG 打印。
- 支持 UART 三线 (TX、RX、RTS), 通常应用于 RS485, RTS 可用于 485 硬件流控。
- 支持 UART 四线自动流控 (TX、RX、RTS、CTS), 通常应用于 RS232、蓝牙通信。

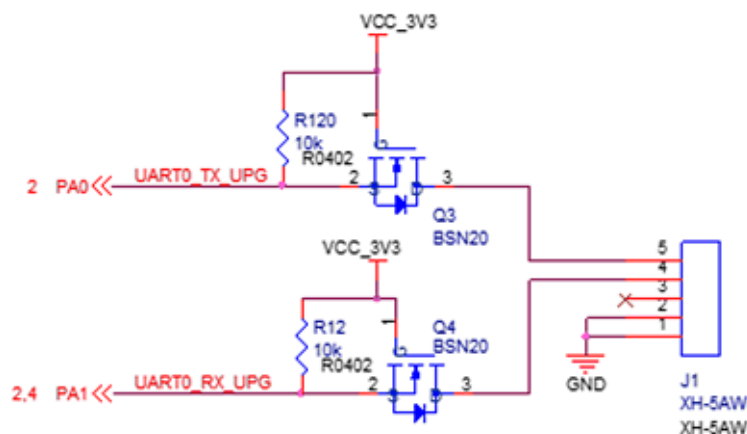


图 2-17 串口烧录电路原理图

- 注：**
- 若使用串口烧录，必须使用 PA0/ PA1 的 UART0 烧录；此外也可使用该 UART0 当调试打印口，仅在烧录完成系统启动时打印，也可更换任意 UART 当调试打印串口。
 - SDK 默认使用 PA0 (UART0_TX) 当 BOOT 检测引脚，仅在上电或复位瞬间检测识别，不影响其它功能使用，可更换任意上电或复位瞬间电平固定的 IO 为 BOOT 引脚。

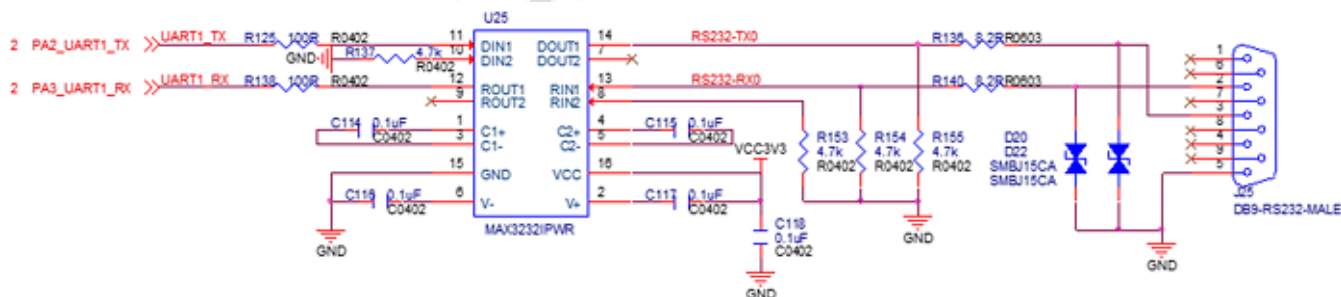


图 2-18 RS232 串口电路原理图

RS485 支持硬件自动控制收发方向，也支持软件控制收发方向

- 在 IO 资源紧张时，建议采用 AIC 特有的两线接法，通过 UART_TX 引脚进行半双工收发，UART_RX 引脚进行硬件自动流控。
- 需要做光耦隔离时，可采用常规三线接法，使用 UART_RTS 引脚进行硬件自动流控。

- 注：**
- 使用两线接法时，TX 引脚既当发送又当接收；RX 引脚用于自动控制收发方向。
 - 使用三线接法时，建议使用 UART_RTS 接 485-DIR，方便使用硬件自动控制收发功能。

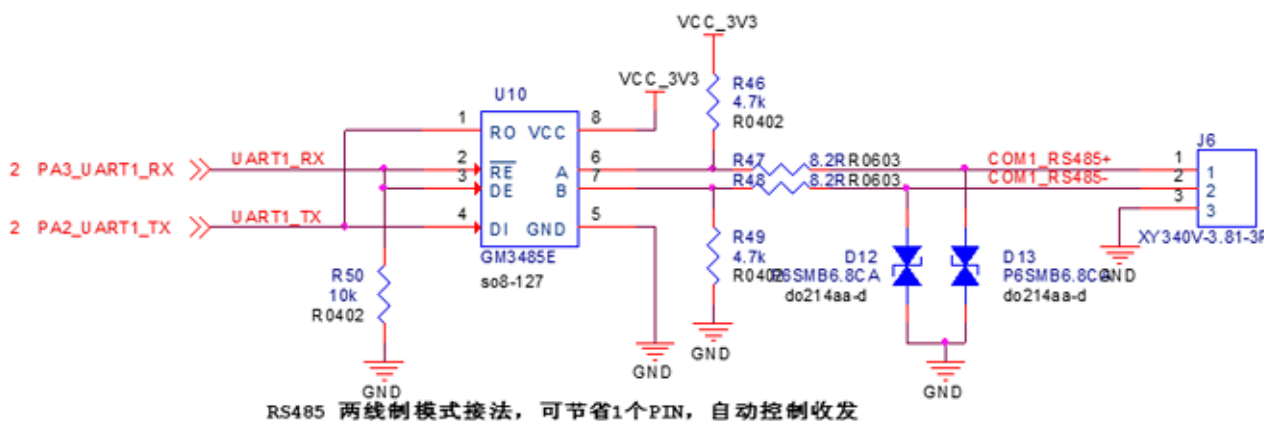


图 2-19 RS485 两线接法电路原理图

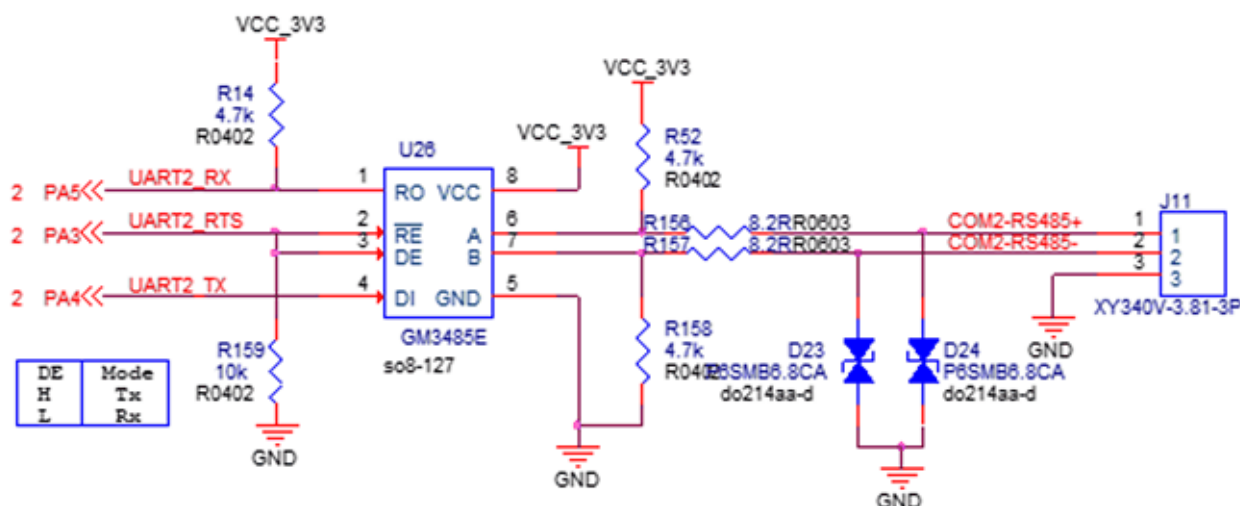


图 2-20 RS485 三线接法电路原理图

2.5.3. I2C

I2C 速率最大支持 400 Kbps，支持 master 和 slave 模式。

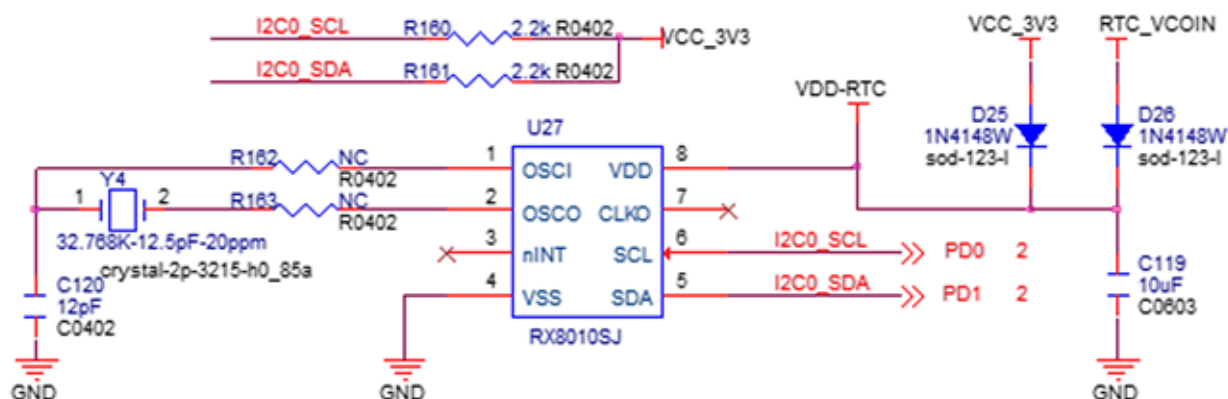


图 2-21 I2C 外接 RTC 电路原理图

2.5.4. CAN

支持 CAN0 和 CAN1 两套控制器

- 支持 CAN2.0A 和 CAN2.0B 协议，可编程通信速率最高 1 Mbps。
- 外围电路需接收发射器，才能组成 CAN 总线网络。

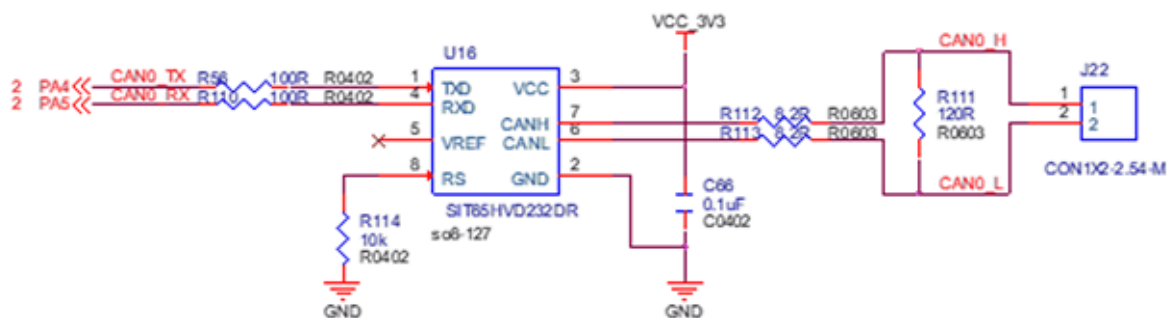


图 2-22 CAN 电路原理图

2.5.5. CIR

支持市面常见红外协议，如 NEC、RC5、RC6、RC-MM、Sony、Sanyo、JVC 等。

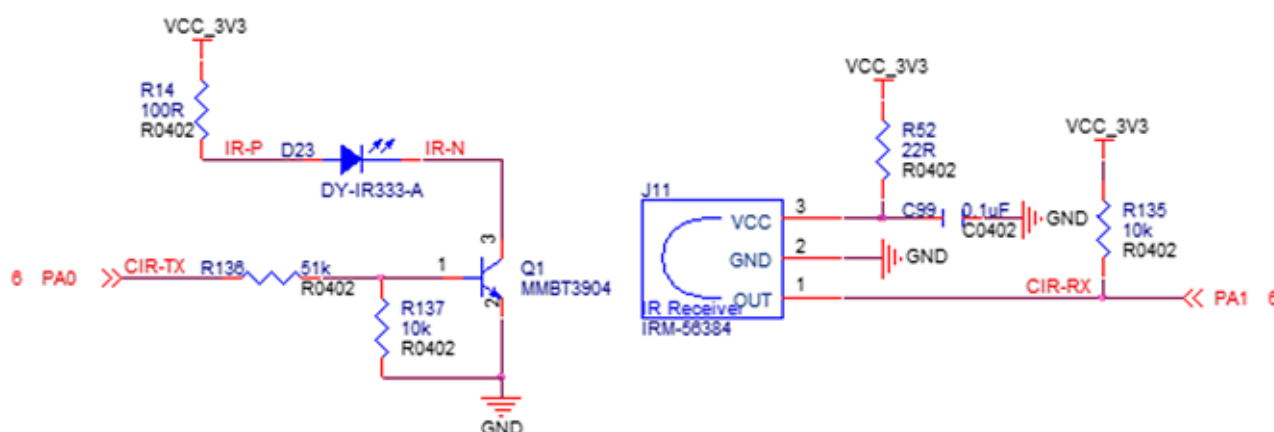


图 2-23 CIR 红外收发电路原理图

2.5.6. SDIO

SDC0/SDC1 可用于用于访问 SDIO 接口的设备，比如 eMMC、SD-NAND、CARD、WiFi 模组。只有 SDC0 和 SDC1 接口可以做启动用。

- SDIO 接口只支持 3.3 V IO 电平，接口顺序关系需注意。
- SDIO 接口按等长约束走线，CLOCK 尽量包地处理。
- 天线端增加 TVS 管，防止 ESD 静电打坏模块。
- 所有电源滤波电容尽量靠近芯片电源输入脚放置。

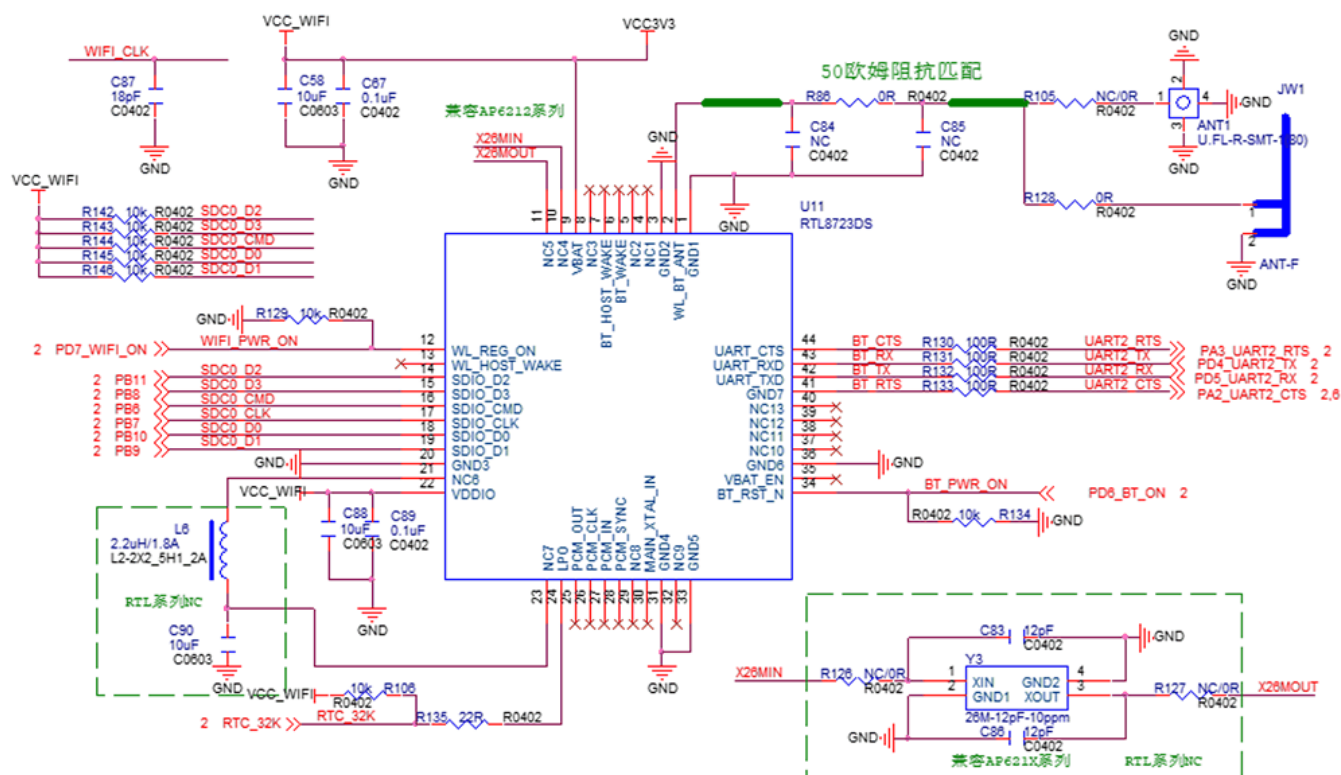


图 2-24 SDC0 WiFi+BT 电路原理图

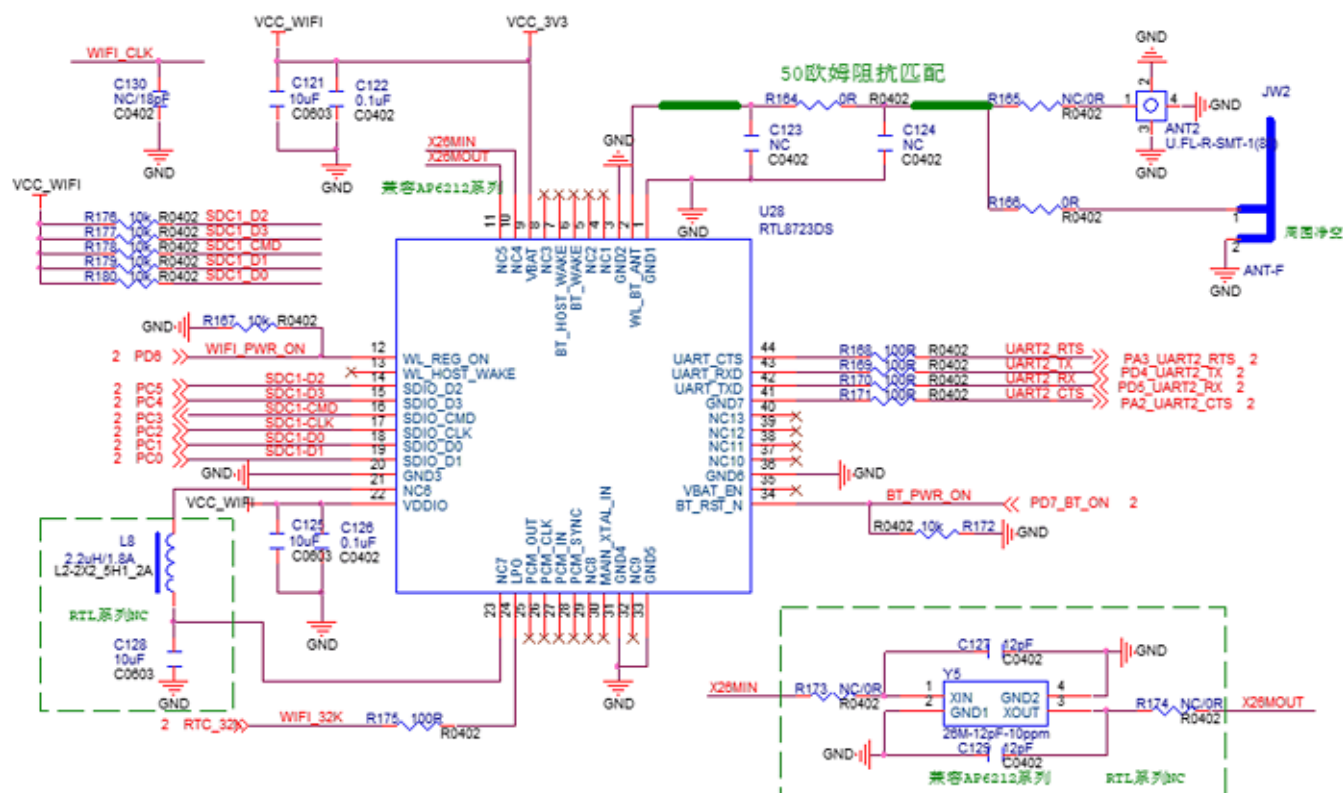


图 2-25 SDC1 WiFi+BT 电路原理图

3. 布线设计

3.1. 电源

在多层板设计中，一般建议采用单独的电源平面和地平面，可以降低电源和地回路的阻抗。

- 参考 20H 规则是多层板电源和地层设计的准则，将地层边缘多出电源层边缘大约 20 倍两平面间距，这是做是为了减少板子边缘的边缘场辐射的影响。
- 在电源层和地平面上尽量避免密集摆放过孔，并保持电源层和地平面的完整性。
- 在合适的位置放置过孔，可以降低电源和地层的阻抗，有助于为信号提供一个低阻抗的回流回路。
- 避免信号走线跨越不同的参考平面，否则会引入信号完整性问题。
- 在多电源平面和地平面分割时，优先考虑敏感信号的布局走线。

3.2. 布局

PCB 布局时，要将不同功能的电路进行分类，比如电源、模拟电路、数字电路和高速接口连接器等，这些电路应该分模块放置在 PCB 板的不同区域。

- 电源电路放在电源输入端附近。元件放置按照从高压到低压的顺序。
- DCDC 或 LDO 去耦电容应尽量靠近输入输出端口。
- 模拟电路更容易受外界干扰影响，建议将模拟电路放置在远离高压和高速数字电路的地方，减少噪声耦合。
- 建议晶体靠近 CPU 放置，尽量包地处理，与其他敏感元件保持安全距离。

3.3. 旁路和去耦

在 CPU 电源引脚处，就近放置电容，使电流先通过电容，然后再进入电源引脚。

- 去耦电容和旁路电容必须放置在尽可能靠近电源引脚的位置，保证滤波电路寄生电感最小化和电源提供瞬态大电流的能力。注意去耦电容和旁路电容的电流回流路径，一定要保证回流路径尽量短。

3.4. DCDC 电路

DC/DC 需要外接电感和电容。

- 尽量缩小 DC/DC 电流回路，以避免 EMI 问题。
- 让电流首先流经滤波电容，然后流至引脚。
- 去耦电容尽量靠近管脚放置，以避免环路不稳定问题。
- 尽量避免电感和电容之间不必要的通孔，降低环路阻抗。

3.5. 高速信号

高速信号走线必须考虑传播延迟和阻抗匹配以保证设备间的良好通信。

- 高速信号（EMMC、SD 卡、QSPI）避免跨越不同参考平面。
- 避免在参考平面上出现开槽、孔洞和分割的情况。
- 当必须在不同的参考平面之间进行切换时，最好在信号切换通孔 100 mil 附近提供接地回路通孔。
- 同一层上的时钟与相邻走线的间距至少应为两倍线宽（2W 原则），以减少串扰。
- QSPI 接口 SPI_MOSI、SPI_MISO、SPI_WP、SPI_HOLD、SPI_CLK、SPI_CMD 需等长约束（长度差建议不超过 20 mil）。

- SDC 接口 SDC_D0~3、SDC_CLK、SDC_CLK 需等长约束（长度差建议不超过 50 mil）。
- DVP 接口 D0~7、DVP_CK、DVP_HS、DVP_VS、DVP_MCLK 需等长约束（长度差建议不超过 50mil）。

3.6. 屏蔽

连接器接口有金属的或者是外壳导电的，裸漏在外面可被接触到，设计时应当考虑防静电性能。

- 外壳接地回路要尽量短，避免跨越关键信号或元件。
- 建议外壳屏蔽地用 RC 滤波电路或铁氧体磁珠连接到 PCB 数字地，注意连接位置和元件参数选择，这对 EMC 和 EMI 性能至关重要。
- 信号尽量从背面走线，远离外壳。
- 其他元件或走线，与外壳保持一定的安全距离，尽量 5 mm 以上，避免空气辐射路径。

3.7. 隔离

隔离在设计中经常用到，例如隔离强电和弱电，或者隔离模拟电路和数字电路。

- 以 RS485 隔离电路为例，接口端与通信电路之间采用光耦隔离器用于隔离。为了提高隔离性能，在隔离器下方设置隔离间隙，且隔离间隙应用于所有平面（顶层/电源层/地层/底层）以保证良好的隔离性能。
- 以模拟电路隔离为例，模拟地和数字地之间需要设置隔离间隙，可放置 0R 电阻单点接地。

3.8. 信号回流路径

信号和电源都有自己的回流路径。地平面可以是信号和电源的参考面，电源面也可以作为信号的参考面。

- 回路面积越小，阻抗越小，串扰和电磁干扰 (EMI) 的影响也就越小。
- 去耦电容尽量靠近输入输出端口，回流信号可以从表层直接回流至源端，最大程度地减小电流回流路径和阻抗。
- 考虑信号返回路径时，一定要避开电流回环路径上的断开点。电流回环的面积越小，EMC 的性能就越好。

4. 设计自查

表 4-1 POWER 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	若产品对功耗敏感, 建议采用外置 DCDC 供电。	-	-
2	采用内部 LDO 供电, layout 需要注意 GND 焊盘散热问题	-	-
3	使用 DCDC 给 VDD11_SYS 供电, FB 反馈点尽量从主控滤波电容端选取, 防止电源走线过长有较大压降, 导致系统工作不稳定	-	-

表 4-2 显示接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	若使用 RGB666 或 RGB565, FPC 接口数据低位需接 GND	-	-
2	RGB888/ RGB666/ RGB565 支持整组互换	-	-
3	只有 RGB888 支持高低位顺序互换, RGB 三组都要同时换	-	-

表 4-3 Speaker 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	DSPK 为数字逻辑信号, 需要外接 RC ($R = 100$, $C = 470 \text{ nF}$) 滤波转换成模拟信号, 才能给到音频功放芯片	-	-

表 4-4 串行通信接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	I2C 信号是 OD 输出, 需外接上拉电阻, 根据负载不同, 对接 sensor 建议选择 2k, 其余选择 4.7k。	-	-
2	I2C 同一路信号挂多个设备时, 地址不能重复。	-	-

表 4-5 特殊 GPIO 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	如需进入升级模式, 可在 UBOOT 或 bootloader 配置任意 IO 为下拉检测或上拉检测, 默认使用 PA0 下拉检测, 建议预留按键或跳线。	-	-