



D126 数据手册

Version 1.0.0

修订日期： 2026-07-17

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其他义务。

凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

修订记录

下表记录了从 V1.0 开始至今的所有修订历史：

表 0-1 修订记录

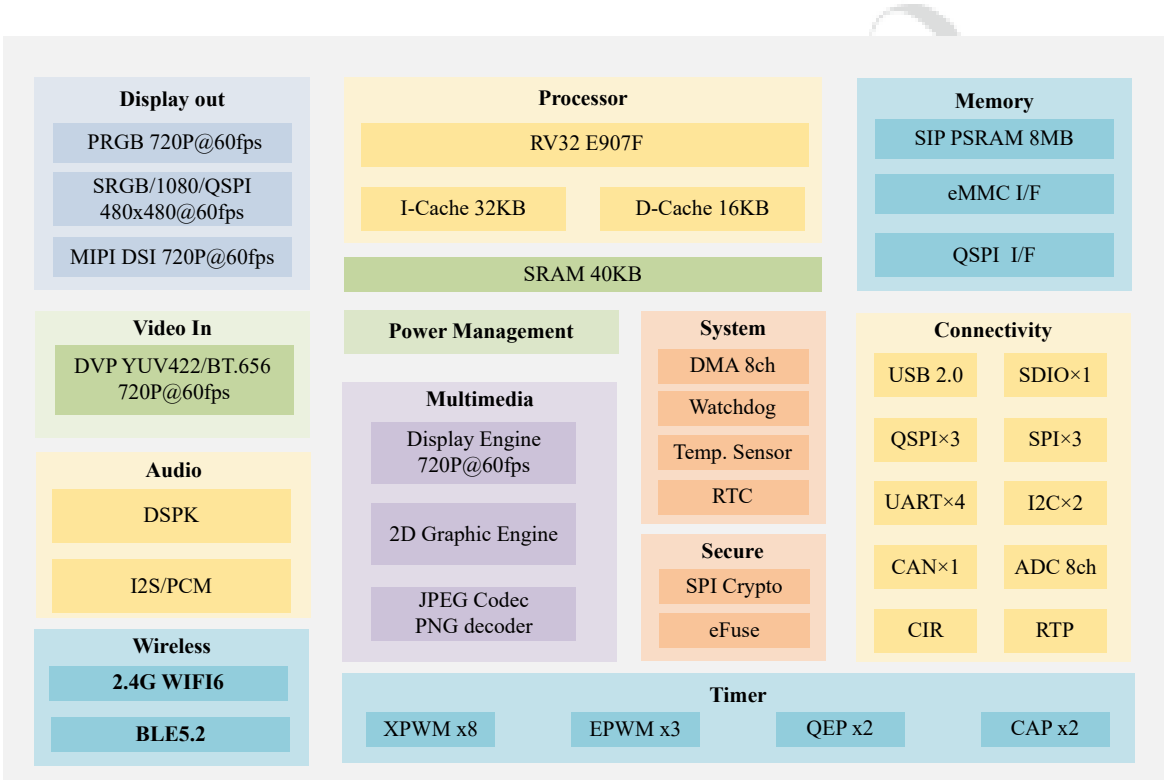
版本	章节	修订说明
V1.0	-	初版。

内容

版权声明.....	ii
修订记录.....	iii
1. 简介.....	5
2. 功能特性.....	6
3. 产品信息.....	10
4. 电气特性.....	12
4.1. 运行条件.....	12
4.1.1. 最大极限值.....	12
4.1.2. 建议运行条件.....	12
4.2. 上下电时序及复位.....	12
4.2.1. 上下电时序.....	12
4.2.2. 复位源.....	13
4.3. 内置 LDO 电气特性.....	13
4.3.1. LD025.....	13
4.3.2. LD018.....	14
4.3.3. LD01x.....	14
4.3.4. DCDC_SW,V_RF.....	14
4.3.5. CORE.....	14
4.3.6. AVDD18.....	15
4.3.7. AVDD.....	15
4.4. IO 电气特性.....	15
4.4.1. IO DC 特性.....	15
4.4.2. IO AC 特性.....	16
4.5. 接口时序.....	16
4.5.1. SPI 参考时序.....	16
4.5.2. SDIO 参考时序.....	17
5. 封装信息.....	20
5.1. 引脚分布.....	20
5.1.1. 封装编号说明.....	20
5.1.2. D126FxR.....	20
5.2. 引脚属性.....	21
5.2.1. D126.....	22
5.3. 引脚复用.....	26
5.3.1. D126FxR.....	27
5.4. 引脚描述.....	31
5.5. 封装尺寸.....	36
5.5.1. D126 系列.....	36

1. 简介

D126 是一款基于 RISC-V 的高性能、国产自主、高清显示与智能控制 MCU，配备强大的 2D 图形加速处理器、PNG 解码、JPEG 编解码引擎、丰富的屏接口，具有高可靠性、高开放性，可广泛应用于 HMI、网关、串口屏等和智慧家居领域。



2. 功能特性

• CPU 内核

- 单核 E907, RV32IMAFIC 指令架构, 480 MHz @ 1.1V, 552 MHz @ 1.2V
- 一级指令缓存 32 KB, 一级数据缓存 16 KB
- 物理内存保护 (PMP)
- 核内中断 CLINT 和中断控制器 CLIC, 支持中断嵌套
- 机器模式和用户模式
- 标准 2 线 JTAG 调试接口

• 系统启动

- 默认按 SD Card (SDC0) → NOR (QSPI0) → NAND (QSPI0)
- 可通过烧写 eFuse 改变并固定启动介质
- 支持 USB 烧录、SD Card 强制升级、

• 系统安全

- SPI 总线加密模块 (SPI ENC), 支持 SPI NAND/ SPI NOR 在线加解密
- 数据校验引擎 (DCE), 支持 CRC-32 多项式和累加和两种方式
- 支持 HMAC-SHA256 算法
- 内置 eFuse 一次性可编程存储器 1024 bits, 采用双备份实现 512 bits 空间, 其中 256 bits 供客户自定义使用, 具有 128 bits 独立 CHIPID

• 片内存储

- 32 KB BROM
- 40 KB SRAM
- PSRAM 支持展频功能, 以下规格可选:
 - 8 MB, 16-bit 位宽, 最高频率 200 MHz DDR
 - 16 MB, 16-bit 位宽, 最高频率 250 MHz DDR

• 存储接口

- QSPI0 支持 SPI NOR / NAND Flash 启动
 - 支持单/ 双/ 四数据线
 - 支持 XIP, 用于 NOR Flash
 - 支持最大时钟频率 SDR 100 MHz
 - SDIO 2.0, 总共一套
 - eMMC 4 数据线, 支持 DR25/ SDR50/ DDR50 模式
 - SD-NAND, 支持 SDR25/ SDR50 / DDR50 模式
 - SD 卡, 支持 SDR25/ SDR50 模式
 - 支持最大速率 DDR 50MHz, 仅支持 3.3 V IO 电压。

• 图像引擎

- DE 显示引擎:
 - 支持一个 UI 图层, 一个 Video 图层, 最高性能 720P@60fps
 - 支持 Video 图层 1/31.999x ~ 32x 缩放
 - 支持抖动、伽马及色彩矩阵调整
- GE 图像引擎:
 - 支持 2D 图形加速, 最大性能
 - 支持水平和垂直翻转, 90/ 180/ 270 度旋转
 - 支持 RGB 格式任意角度旋转和不同扫描顺序
 - 支持 1/16x ~ 16x 缩放, 采用 bilinear 滤波算法
 - 支持命令队列
- VE 视频编解码:

- MJPEG 基线解码器，最高性能 720P@60fps
- PNG 解码器，最高性能 720P@30fps
- JPEG 编码器，最高性能 720P@60fps

• 显示接口

- MIPI DSI 接口支持 1/ 2/ 4 LANE，最高性能 720P@60fps
- LCD 接口支持 24-bit 并口 RGB，最高性能 720P @60fps
- LCD 接口支持 SRGB/ I8080/ QSPI/ SPI 屏，最高性能 480*480@60fps
- QSPI1 / QSPI2 接口支持硬件刷屏模式，最高性能 480*480@60fps
- 支持展频功能

• 摄像接口

- 支持 DVP 8-bit 输入，支持 YUV422 和 BT.656 格式，BT.656 支持隔行模式
- 支持直通模式和两路解交织
- 支持针对图像帧、行和列分别裁剪
- 支持 16 阶直方图统计
- 最大性能支持 720P@60fps 录像，支持 5M 拍照

• 音频接口

- 两路 DSPK 数字音频输出，支持两路单端输出左右声道、一路差分输出单声道
- 一路 I2S，支持输入输出，支持 I2S/ PCM/ TDM 模式

• 通用接口

- 一路 USB2.0，支持高速、全速模式，可配置为 DEVICE/HOST；可复用为 GPIO
- 三路 QSPI，支持单/ 双/ 四数据线，QSPI1 / QSPI2 支持硬件刷屏模式，支持 Master/ Slave
- 三路 SPI，支持标准 SPI 模式，支持 Master/ Slave

- 四路 UART，支持 2 线/ 3 线/ 4 线接口，RS485 收发控制自动切换，兼容工业标准 16550
- 两路 I2C，支持 7 bits 和 10 bits 寻址，最高速率 400 Kb/s
- 一路 CAN，支持 CAN2.0B 可编程速率最高 1 Mbps
- 一组 CIR，支持红外输入和红外输出
- 八组 GPIO 支持 77 个 IO，支持每个 IO 独立配置：
 - 可选无上下拉/ 上拉 33 K Ω / 下拉 33 K Ω ；
 - PS0/PS1 是 OD 引脚，需要外挂上拉
 - 输出驱动八个档位可调
 - 输入支持二级去抖和中断
 - 支持位操作
 - 不支持防倒灌功能

• 计数器

- GTC 通用计时器
 - 支持 52 位计时器，提供系统心跳时钟，计时周期大于 35 年
 - 支持调试模式下可配置为暂停计时或继续计时
- WDOG 看门狗
 - 支持中断和复位，超时时间 1 毫秒 ~ 37 小时可配置
 - 支持调试模式下可配置为暂停计时或继续计时
 - 支持硬件写保护机制
- RTC 实时时钟
 - 以秒为单位，100 年时间跨度，支持硬件闹钟设置
 - 外挂 32.768KHz 晶体，支持数字校准，范围 ± 975 ppm

- 独立备用供电输入引脚，内置电源切换开关
 - 256bits 寄存器用于系统数据备份，如掉电重点保护数据
 - 支持 Alarm 唤醒功能，可通过 RTC_I00 输出
 - RTC 模块典型工作电流 2.3 μ A
- XPWM
 - 内置 32-bit 计数器，支持八路定时器，支持八路独立 PWM
 - 支持 PWM 输出模式，支持反相，初始值可配置，PWM 周期、占空比动态可调
 - 支持脉冲输出模式，支持脉冲数量统计以及输出固定个数脉冲功能，支持 DMA 和中断
 - 可用于串行 RGB LED 灯珠驱动、电机驱动
 - EPWM
 - 内置 32-bit 计数器，支持三路定时器，支持六路独立 PWM 或三路互补 PWM
 - 支持 PWM 输出模式，支持反相，初始值可配置，PWM 周期、占空比动态可调
 - 支持脉冲输出模式，支持脉冲数量统计以及输出固定个数脉冲功能，支持 DMA 和中断
 - 可用于串行 RGB LED 灯珠驱动、电机驱动
 - CAP
 - 内置 32-bit 计数器，支持两路定时器
 - 支持两路捕获输入，支持连续的捕获模式或单次的捕获模式
 - 支持简易 PWM 输出，支持相位同步
 - QEP
- 内置 32-bit 位置计数器，32-bit 定时器，32-bit 看门狗定时器
 - 支持 AB 正交信号解析
 - 支持 CW/ CCW 信号解析
 - 支持 CLK/ DIR 信号解析
 - 支持霍尔输入信号解析
- 模拟
 - 内置 8 通道 12-bit GPADC，采样速率为 2 Msps
 - 集成 RTP 电阻触摸屏接口，若不使用 RTP 功能，可当 ADC 功能使用
- 时钟和电源管理
 - CMU 内置五个 PLL：
 - PLL_INT0 用于 CPU 单独使用，无小数分频和展频功能
 - PLL_INT1 用于总线，内部模块，及低速接口模块使用，无小数分频和展频功能
 - PLL_FRA0 用于存储接口模块使用，带小数分频和展频功能
 - PLL_FRA1 用于音频模块使用，带小数分频和展频功能
 - PLL_FRA2 用于屏显输出模块使用，带小数分频和展频功能
 - SYSCFG 内置三个 LDO：
 - LDO25 (2.4 ~ 3.1 V 100 mA)，用于系统复位启动、ADC 供电、eFuse 供电
 - LDO18 (1.71 ~ 2.16 V 100 mA)，可用于 PSRAM IO 和 PSRAM 颗粒供电
 - LDO1x (1.0 ~ 1.375 V 200 mA，每档 25 mV)，可用于 VDD11 供电
 - 内置 THS 温度传感器，支持高温中断报警和过温复位芯片
 - 内置 WRI 模块，记录复位源，BOR 欠压复位，32bits $\times$ 2 备份寄存器

- 射频接口

- WIFI:

- MOS 单芯片全集成 RF、Modem 及 MAC
- 支持 2.4GHz Wi-Fi6
- 支持 20/40MHz 带宽
- 11b 1M 模式下接收灵敏度达 -97dBm
- 11b 模式下发射功率最高 18dBm, HT/VHT/HE40 MCS7 模式下最高 16dBm
- 支持 STA、AP、Wi-Fi Direct 模式并发运行
- 支持 STBC、波束成形 (beamforming)
- 支持 Wi-Fi6 TWT 技术
- 支持 Two NAV、缓存报告 (Buffer Report)、空间复用 (Spatial reuse)、多 BSSID (Multi-BSSID)、PPDU 内省电 (intra-PPDU power save)
- 支持 LDPC 编码
- 支持 MU-MIMO、OFDMA 技术
- 支持 DCM、中导码 (Mid-ambler)、UORA
- 支持 WEP/WPA/WPA2/WPA3-SAE 个人版、MFP 安全协议

- BT:

- 支持低功耗蓝牙 (Bluetooth Low Energy)
- 支持高阶主从一体架构
- 采用优化算法评估信道质量, 支持 AFH 增强功能

3. 产品信息

表 3-1 产品型号信息

型号	特性	封装	温度（Tj）
D126FBR	8MB PSRAM	BGA124, 8x8, 0.65mm 间距	-30 至 +105℃
D126FCR	16MB PSRAM	BGA124, 8x8, 0.65mm 间距	-30 至 +105℃

表 3-2 产品规格对比

项目	D126FBR	D126FCR
内核	E907 480 MHz @ 1.1V; 552 MHz @ 1.2V	E907 480 MHz @ 1.1V; 552 MHz @ 1.2V
内存	8 MB PSRAM	16 MB PSRAM
安全	支持	支持
时钟	外挂 24M 晶振	外挂 24M 晶振
LCD	x 1	x 1
MIPI-DSI	x 1	x 1
RTP	x 1	x 1
DVP	x 1	x 1
DSPK	x 2	x 2
I2S	x 1	x 1
SDIO 2.0	x 1	x 1
USB2.0	x 1	x 1
QSPI	x 3	x 3
SPI	x 3	x 3
UART	x 4	x 4
I2C	x 2	x 2
CAN	x 1	x 1
CIR	x 1	x 1
XPWM	x 6	x 6
EPWM	x 2 (4ch)	x 2 (4ch)
CAP	x 2	x 2
QEP	x 2	x 2

表 3-2 产品规格对比 (续)

项目	D126FBR	D126FCR
ADC	x 1 (6 ch)	x 1 (6 ch)

ArtInChip

4. 电气特性

4.1. 运行条件

4.1.1. 最大极限值

符号	描述	最小值	最大值	单位
Tstg	储存温度	-40	125	℃
VCC33_I00	GPIO 电源	-0.3	3.6	V
VCC33_I01	GPIO 电源	-0.3	3.6	V
VCC33_I02	GPIO 电源	-0.3	3.6	V
VDD11	内核及系统电源	-0.3	1.375	V
RTC_VCOIN	RTC 电源	-0.3	3.6	V
Iio	IO 输入输出电流	-55	60	mA

4.1.2. 建议运行条件

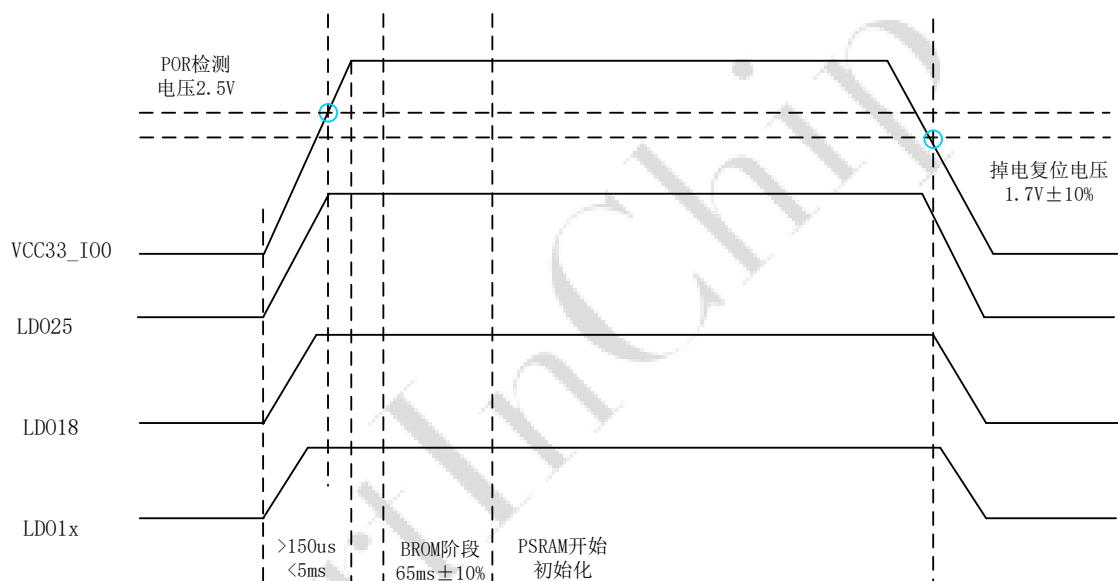
符号	描述	最小值	典型值	最大值	单位
Tj	结温	-30	-	105	℃
Ta	环境温度	-30	-	80	℃
VCC33_I00	GPIO 电源	3.0	3.3	3.6	V
VCC33_I01	GPIO 电源	3.0	3.3	3.6	V
VCC33_I02	GPIO 电源	3.0	3.3	3.6	V
VDD11	内核及系统电源	1.05/1.15	1.1/1.2	1.32/1.32	V
RTC_VCOIN	RTC 电源	2.3	3.0	VCC33_I00	V

4.2. 上下电时序及复位

4.2.1. 上下电时序

- VCC33_I00、VDD11 (LDO1x) 和 LDO18 供电无上下电顺序要求。VCC33_I00 上电上升沿时间需大于 150 us 且小于 5 ms。
- LDO25、LDO18、LDO1x上电默认开启，使用外部电源供电时软件可配置内置 LDO 关闭

- VCC33_I00 上电大于 2.5 V 左右触发内部 POR 检测，检测到 POR 后内部逻辑延迟 7 ms 左右芯片放开复位开始工作，掉电复位检测电压为 1.7 V 左右。
- VCC33_I00 上电时间大于 150 μ s 且小于 5 ms 以确保芯片正常工作，最低工作电压为 3.0 V，上电不能长时间停留在 3.0 V 以下。



4.2.2. 复位源

芯片系统有以下几种复位源，任何一种复位条件成立，会对芯片产生复位：

- 系统上电复位：在 VCC33_I00 和 VDD11 上电后产生复位，上电 10 ms 内系统自动放开此复位。
- 外部引脚复位：引脚 RESETN 输入低电平并持续 2 ms 以上产生复位。
- 调试器复位：在接收到 JTAG IO 上的 RESET 命令后立即产生复位。
- 看门狗复位：通过软件使能后，在 WDOG 超时复位条件满足下立即产生复位。
- 过温复位：通过软件使能后，在 THS 温度超过设定值时立即产生复位。

4.3. 内置 LDO 电气特性

4.3.1. LD025

内置 LD025，电压可配置，用于系统模拟及 GPADC/ eFuse 供电，LD025 也用作 GPADC 的参考电压，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V_o	输出电压	2.4	2.5	3.1	V

符号	描述	最小值	典型值	最大值	单位
I _o	输出电流	–	–	100	mA
C _o	外部去耦电容	–	1	–	uF

4.3.2. LDO18

内置 LDO18，电压可配置，用于 内部 PSRAM 供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.71	1.92	2.16	V
I _o	输出电流	–	–	100	mA
C _o	外部去耦电容	–	1	–	uF

4.3.3. LDO1x

内置 LDO1x，电压可配置，可用于 VDD11 供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.0	1.2	1.375	V
I _o	输出电流	–	–	200	mA
C _o	外部去耦电容	–	1	–	uF

4.3.4. DCDC_SW, V_RF

RF 内部 DCDC 电源，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _{RF}	输出电压	1.2	1.4	1.5	V
DCDC_SW	输出电流	–	–	–	mA
L	功率电感		10		uH
L	功率电感		I _{sat} >200mA, R _{dc} <300mΩ		
C	外部电容	–	4.7	–	uF

4.3.5. CORE

RF 内部数字电源，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	0.8	0.9	1	V
C _o	外部去耦电容	–	1	–	uF

4.3.6. AVDD18

RF 内部电源，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.62	1.8	1.98	V
C _o	外部去耦电容	–	1	–	uF

4.3.7. AVDD

RF 内部电源，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.2	1.4	1.5	V
C _o	外部去耦电容	–	1	–	uF

4.4. IO 电气特性

4.4.1. IO DC 特性

符号	描述	最小值	典型值	最大值	单位
V _{IH}	高电平输入电压	0.7*VCC33_IO	–	VCC33_IO+0.3	V
V _{IL}	低电平输入电压	–0.3	–	0.3*VCC33_IO	V
R _{PU}	上拉电阻	–	33	–	KΩ
R _{PD}	下拉电阻	–	33	–	KΩ
I _{IH}	高电平输入电流	–	–	10	uA
I _{IL}	低电平输入电流	–	–	10	uA
V _{OH}	高电平输出电压	VCC33_IO–0.3	–	VCC33_IO	V
V _{OL}	低电平输出电压	–0.3	–	0.3	V
I _{OH}	高电平驱动能力	–	–	20	mA
I _{OL}	低电平驱动能力	–	–	20	mA

符号	描述	最小值	典型值	最大值	单位
IOZ	三态输出漏电流	-10	-	10	uA
CIN	输入电容	-	-	5	pF
COUT	输出电容	-	-	5	pF

4.4.2. IO AC 特性

符号	描述	测试条件	最小值	典型值	最大值	单位
f _{max}	最大频率	负载 6 pF	-	-	150	MHz
t _r	上升时间	VOL 到 VOH 时间	-	-	1.6	ns
t _f	下降时间	VOH 到 VOL 时间	-	-	1.6	ns

4.5. 接口时序

4.5.1. SPI 参考时序

符号	描述	最小值	最大值	单位
Input Timing				
t _{CLCH}	Serial Clock Rise Time(Slew Rate)	0.2	-	V/ns
t _{CHCL}	Serial Clock Fall Time(Slew Rate)	0.2	-	V/ns
t _{CHSL}	CS# Not Active Hold Time	5	-	ns
t _{SLCH}	CS# Active Setup Time	5	-	ns
t _{CHSH}	CS# Active Hold Time	5	-	ns
t _{SHCH}	CS# Not Active Setup Time	5	-	ns
t _{SHSL}	CS# High Time (read/write)	20	-	ns
t _{DVCH}	Data In Setup Time	2	-	ns
t _{CHDX}	Data In Hold Time	2	-	ns
Output Timing				
t _{CLQV}	Clock Low To Output Valid		6.5	ns
t _{CLQX}	Output Hold Time	1	-	ns
t _{CLH}	Serial Clock High Time	0.45*t _{clk}	-	ns

符号	描述	最小值	最大值	单位
t _{CLL}	Serial Clock Low Time	0.45*t _{clk}	–	ns
t _{SHQZ}	Output Disable Time		6	ns

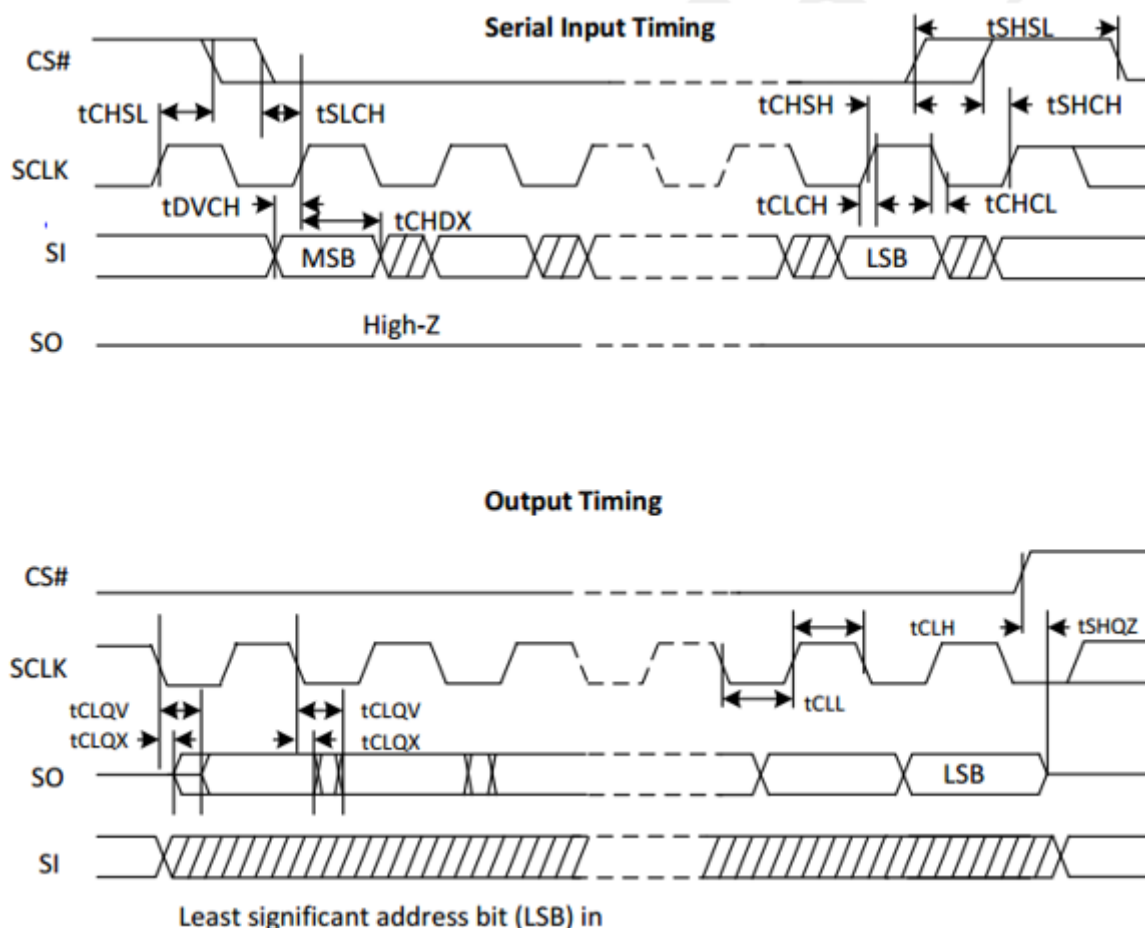


图 4-1 SPI 接口时序参考

4.5.2. SDIO 参考时序

符号	描述	测试条件	25 MHz		52 MHz		单位
			最小值	最大值	最小值	最大值	
t _{WL}	clock low time	10 pF max.	10	–	7	–	ns
t _{WH}	clock high time	10 pF max.	10	–	7	–	ns
t _{W(clk)}	clock pulse width	10 pF max.	40	–	18	–	ns
t _{TLH}	clock rise time	10 pF max.	–	10	–	3	ns
t _{THL}	clock fall time	10 pF max.	–	10	–	3	ns
Input CMD, DATn							
t _{ISU}	input set-up time	10 pF max.	5	–	6	–	ns

符号	描述	测试条件	25 MHz		52 MHz		单位
			最小值	最大值	最小值	最大值	
t _{IH}	input hold time	10 pF max.	5	–	2	–	ns
Output CMD, DATn							
t _{ODLY}	output delay time	during data transfer mode; 40 pF max.	0	14	–	14	ns
t _{OH}	output hold time		2.5	–	2.5	–	ns

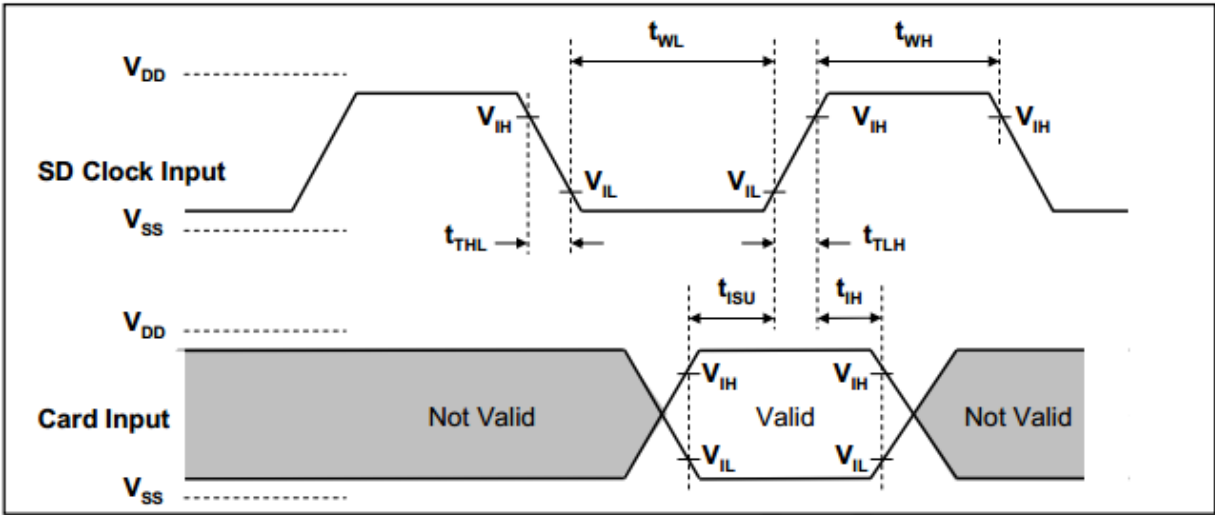


图 4-2 SDIO 接口输入时序 (默认速度模式 – 25 MHz)

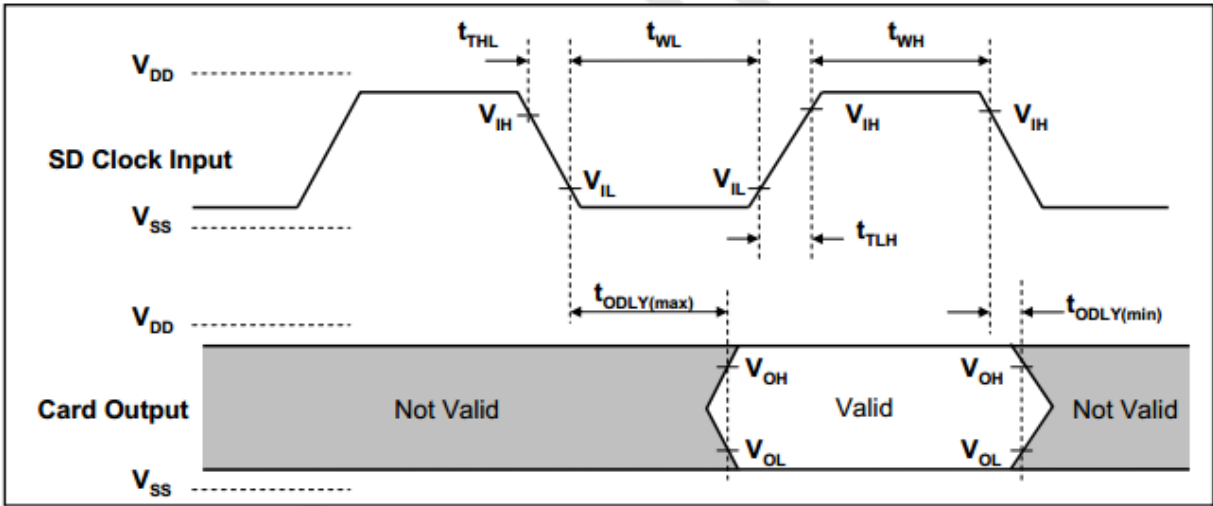


图 4-3 SDIO 接口输出时序 (默认速度模式 – 25 MHz)

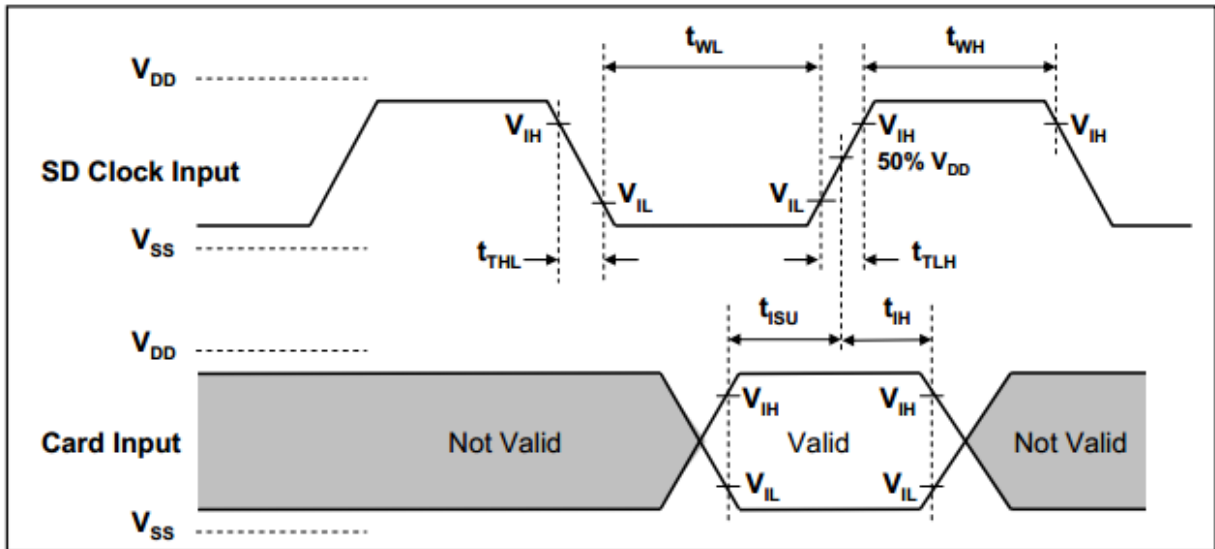


图 4-4 SDIO 接口输入时序 (高速模式 - 50 MHz)

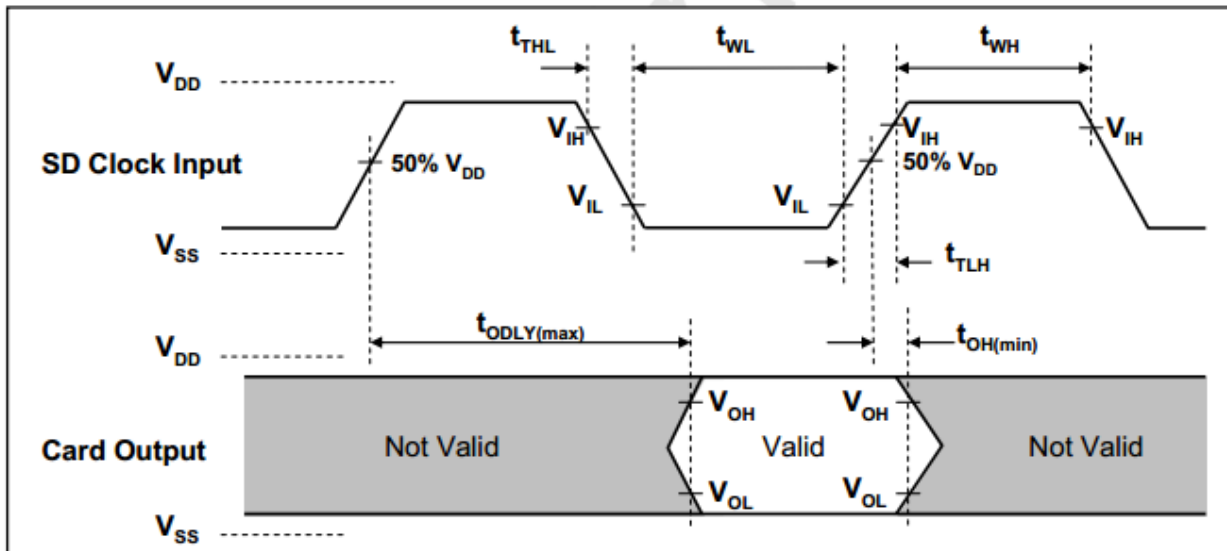


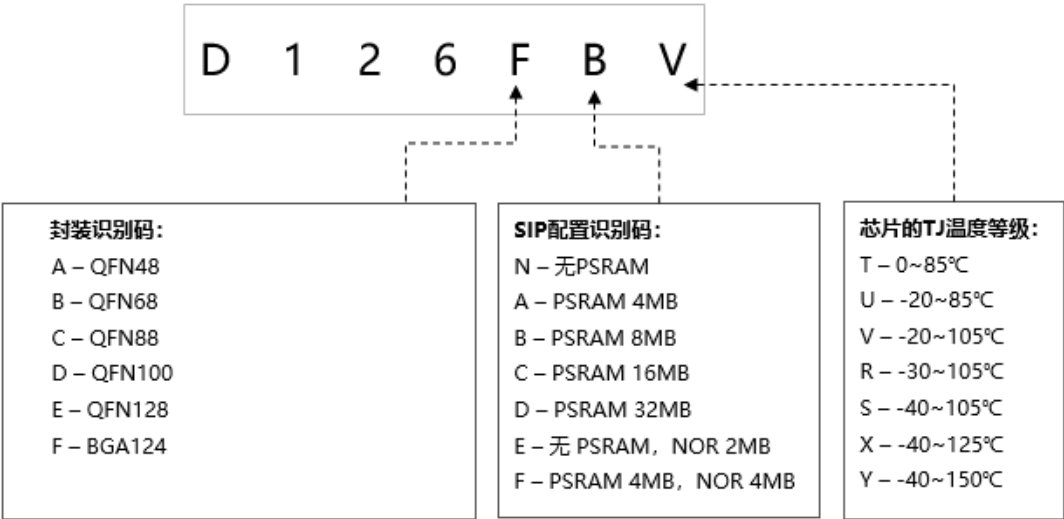
图 4-5 SDIO 接口输出时序 (高速模式 - 50 MHz)

5. 封装信息

5.1. 引脚分布

5.1.1. 封装编号说明

下图以 D126FBV 为例对封装编号及其对应标识进行说明：



- LLLLLB: 其中 LLLLL 表示批号，B 固定不变。
- AXXX: 其中 XXX 表示 Date Code，A 固定不变，比如 A525 表示 2025 年第 25 周生产。

5.1.2. D126FxR

 注：

D126FBR、D126FCR 封装引脚兼容。

	1	2	3	4	5	6	7	8	9	10	11	12
A	PN1	PS2	PLL_XO	PB7	PB9	PB11	PA3	PA2	PC0	PC2	PC4	PC5
B	PN0	PS3	PLL_XI	PB6	PB8	PB10	PA8	PA1	PC1	PC3	PB5	PB4
C	PD26	PD27	PS0	PS1	PA11	PA10	PA9	PA0	RESET N	PA7	PB3	PB2
D	PD24	PD25	RTC_VCOIN							LDO25	PB1	PB0
E	PD22	PD23	LDO1x		GND	GND	GND	GND		PF1	PD0	PF0
F	PD20	PD21	VDD11		GND	GND	GND	GND		PD7	PD2	PD1
G	PD18	PD19	VDD11		GND	GND	GND	GND		PD6	PD4	PD3
H	PD16	PD17	VCC33_IO2		GND	GND	GND	GND		PA4	PD5	XTAL1_I N
J	PD14	PD15	VCC33_IO1							GND	XTAL2_OUT	AVDD18
K	PD12	PD13	VCC33_IO0	LDO18	RF_UART_TX	RF_UART_RX	VCORE	VDD33	PA5	GND	GND	GND
L	PD10	PD11	PE1	PE3	PE5	PE7	PE9	PE11	V_RF	AVDD	GND	RFGND
M	PD8	PD9	PE0	PE2	PE4	PE6	PE8	PE10	DCDC_SW	VDD33_PA	GND	RF_ANT

5.2. 引脚属性



注:

- [1]: 芯片封装引脚序号。
- [2]: 芯片封装引脚名称。
- [3]: 类型, 指示信号方向。
 - I —— 输入。
 - O —— 输出。
 - I/O —— 输入/输出。
 - A —— 模拟。
 - AI —— 模拟输入。
 - AO —— 模拟输出。



◦ P——电源。

◦ G——地。

- [4]: 引脚复位状态, PU 指上拉, PD 指下拉, Z 指高阻态。
- [5]: PU/PD 表示内部存在上下拉电阻, 且上下拉电阻可通过软件开启或关闭。
- [6]: 默认驱动能力大小。GPIO 默认驱动能力 20 mA, 最大 50 mA。
- [7]: 电源供电。

5.2.1. D126

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动(mA)[6]	供电[7]
GPIO A						
C8	PA0	I/O	Z	PU/PD	20	VCC33_I00
B8	PA1	I/O	Z	PU/PD	20	VCC33_I00
A8	PA2	I/O	Z	PU/PD	20	VCC33_I00
A7	PA3	I/O	Z	PU/PD	20	VCC33_I00
H10	PA4	I/O	Z	PU/PD	20	VCC33_I00
K9	PA5	I/O	Z	PU/PD	20	VCC33_I00
C10	PA7	I/O	Z	PU/PD	20	VCC33_I00
B7	PA8	I/O	Z	PU/PD	20	VCC33_I00
C7	PA9	I/O	Z	PU/PD	20	VCC33_I00
C6	PA10	I/O	PU	PU/PD	20	VCC33_I00
C5	PA11	I/O	PU	PU/PD	20	VCC33_I00
GPIO B						
D12	PB0	I/O	Z	PU/PD	20	VCC33_I00
D11	PB1	I/O	Z	PU/PD	20	VCC33_I00
C12	PB2	I/O	Z	PU/PD	20	VCC33_I00
C11	PB3	I/O	Z	PU/PD	20	VCC33_I00
B12	PB4	I/O	Z	PU/PD	20	VCC33_I00
B11	PB5	I/O	Z	PU/PD	20	VCC33_I00
B4	PB6	I/O	Z	PU/PD	20	VCC33_I00
A4	PB7	I/O	Z	PU/PD	20	VCC33_I00

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动(mA)[6]	供电[7]
B5	PB8	I/O	Z	PU/PD	20	VCC33_I00
A5	PB9	I/O	Z	PU/PD	20	VCC33_I00
B6	PB10	I/O	Z	PU/PD	20	VCC33_I00
A6	PB11	I/O	Z	PU/PD	20	VCC33_I00
GPIO C						
A9	PC0	I/O	Z	PU/PD	20	VCC33_I00
B9	PC1	I/O	Z	PU/PD	20	VCC33_I00
A10	PC2	I/O	Z	PU/PD	20	VCC33_I00
B10	PC3	I/O	Z	PU/PD	20	VCC33_I00
A11	PC4	I/O	Z	PU/PD	20	VCC33_I00
A12	PC5	I/O	Z	PU/PD	20	VCC33_I00
GPIO D						
E11	PD0	I/O	Z	PU/PD	20	VCC33_I00
F12	PD1	I/O	Z	PU/PD	20	VCC33_I00
F11	PD2	I/O	Z	PU/PD	20	VCC33_I00
G12	PD3	I/O	Z	PU/PD	20	VCC33_I00
G11	PD4	I/O	Z	PU/PD	20	VCC33_I00
H11	PD5	I/O	Z	PU/PD	20	VCC33_I00
G10	PD6	I/O	Z	PU/PD	20	VCC33_I00
F10	PD7	I/O	Z	PU/PD	20	VCC33_I00
M1	PD8	I/O	Z	PU/PD	20	VCC33_I00
M2	PD9	I/O	Z	PU/PD	20	VCC33_I00
L1	PD10	I/O	Z	PU/PD	20	VCC33_I00
L2	PD11	I/O	Z	PU/PD	20	VCC33_I00
K1	PD12	I/O	Z	PU/PD	20	VCC33_I00
K2	PD13	I/O	Z	PU/PD	20	VCC33_I00
J1	PD14	I/O	Z	PU/PD	20	VCC33_I00
J2	PD15	I/O	Z	PU/PD	20	VCC33_I00
H1	PD16	I/O	Z	PU/PD	20	VCC33_I00
H2	PD17	I/O	Z	PU/PD	20	VCC33_I00

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动(mA)[6]	供电[7]
G1	PD18	I/O	Z	PU/PD	20	VCC33_I00
G2	PD19	I/O	Z	PU/PD	20	VCC33_I00
F1	PD20	I/O	Z	PU/PD	20	VCC33_I00
F2	PD21	I/O	Z	PU/PD	20	VCC33_I00
E1	PD22	I/O	Z	PU/PD	20	VCC33_I00
E2	PD23	I/O	Z	PU/PD	20	VCC33_I00
D1	PD24	I/O	Z	PU/PD	20	VCC33_I00
D2	PD25	I/O	Z	PU/PD	20	VCC33_I00
C1	PD26	I/O	Z	PU/PD	20	VCC33_I00
C2	PD27	I/O	Z	PU/PD	20	VCC33_I00
GPIO E						
M3	PE0	I/O	Z	PU/PD	20	VCC33_I00
L3	PE1	I/O	Z	PU/PD	20	VCC33_I00
M4	PE2	I/O	Z	PU/PD	20	VCC33_I00
L4	PE3	I/O	Z	PU/PD	20	VCC33_I00
M5	PE4	I/O	Z	PU/PD	20	VCC33_I00
L5	PE5	I/O	Z	PU/PD	20	VCC33_I00
M6	PE6	I/O	Z	PU/PD	20	VCC33_I00
L6	PE7	I/O	Z	PU/PD	20	VCC33_I00
M7	PE8	I/O	Z	PU/PD	20	VCC33_I00
L7	PE9	I/O	Z	PU/PD	20	VCC33_I00
M8	PE10	I/O	Z	PU/PD	20	VCC33_I00
L8	PE11	I/O	Z	PU/PD	20	VCC33_I00
GPIO F						
E12	PF0	I/O	Z	PU/PD	20	LD025
E10	PF1	I/O	Z	PU/PD	20	LD025
GPIO N						
B1	PN0	I/O	-	-	20	VCC33_I00
A1	PN1	I/O	-	-	20	VCC33_I00
RTC						

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动(mA)[6]	供电[7]
A2	RTC_XI	I/O	–	–	20	VCC33_I00
B2	RTC_XO	I/O	–	–	20	VCC33_I00
D3	RTC_VCOIN	P	–	–	–	–
C3	RTC_I00	OD	–	–	–	–
C4	RTC_I01	OD	–	–	–	–
PLL						
C9	RESETN	I	–	–	–	–
A3	PLL_XO	O	–	–	–	–
B3	PLL_XI	I	–	–	–	–
RF IO						
K6	RFDEBUGRX	I/O		PU		VCC33_I00
K5	RFDEBUTX	I/O				VCC33_I00
H12	XTAL1	I				
J11	XTAL2	O				
M12	RF_ANT	AI				
L12	RFGND	A				
Power						
K3	VCC33_I00	P	–	–	–	–
J3	VCC33_I01	P	–	–	–	–
H3	VCC33_I02	P	–	–	–	–
E3	VDD11	P	–	–	–	–
F3	VDD11	P	–	–	–	–
G3	VDD11	P	–	–	–	–
K4	LDO18	P	–	–	–	–
D10	LDO25	P	–	–	–	–
K8	VDD33	P				
L9	V_RF	P				
M10	VDD33_PA	P				
L10	AVDD	P				
J12	AVDD18	P				

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动(mA)[6]	供电[7]
M9	DCDC_SW	P				
K7	VCORE	P				
E5	GND	P				
E6	GND	P				
E7	GND	P				
E8	GND	P				
F5	GND	P				
F6	GND	P				
F7	GND	P				
F8	GND	P				
G5	GND	P				
G6	GND	P				
G7	GND	P				
G8	GND	P				
H5	GND	P				
H6	GND	P				
H7	GND	P				
H8	GND	P				
J10	GND	P				
K10	GND	P				
K11	GND	P				
K12	GND	P				
L11	GND	P				
M11	GND	P	-	-	-	-

5.3. 引脚复用



重要：

- 只有 SPI0 支持 Flash 启动。
- PF0 / PF1 电源域为 LDO25，做 IO 输入/输出时需注意电平。

- 
 • 启动阶段 BROM 有扫描介质过程，SDC1_D0/ CMD/ CLK 和 SPI0_CS/ MOSI/ CLK 引脚有毫秒级脉冲波形输出，做 IO 输出时需注意，做输入无影响。
- PS0/PS1 是 OD 引脚，需要外挂上拉
- 轻度休眠，VCC33/ VDD11/ LDO18 需要常供电，其中 VDD11 和 LDO18 可使用内置 LDO 供电或外部供电，RTC_IO1 或任意 IO 用于休眠唤醒；
- 深度休眠，VCC33/ LDO18 需要常供电，其中 VDD11 需要外部供电并使用 RTC_IO0 控制关闭，LDO18 需预留外部 LDO 供电，RTC_IO1 用于休眠唤醒。

5.3.1. D126FxR

表 5-1 D126FxR 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
A2	PS2	I/O	-	接 32.768kHz 无源晶振，若不使用内置 RTC 功能可悬空
B2	PS3	I/O	-	接 32.768kHz 无源晶振，若不使用内置 RTC 功能可悬空
D3	RTC_VCOIN	POWER	RTC 外部供电	不考虑掉电保持可悬空，内部有二极管从 3.3V 取电，外挂供电需接 RC 延迟上电 (10 KΩ/ 0.1 uF)
C3	PS0	OD	唤醒输出控制	深度休眠，控制外部电源使能关闭，低电平有效
C4	PS1	OD	唤醒输入检测	深度休眠，外部按键、IO 唤醒源输入检测，低电平有效
SYSTEM				
C9	RESETN	INPUT	系统复位	内置 30 kΩ 上拉，不使用可悬空，外挂电容不超过 4.7 uF。
A3	PLL_XO	OUTPUT	-	默认接 24 MHz 无源晶振；接有源晶振时悬空
B3	PLL_XI	INPUT	-	默认接 24 MHz 无源晶振；可接有源晶振输出
POWER				
K3	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电，PA/PB/PC/PD 组 IO 供电，放置 10uF +0.1uF 电容
J3	VCC33_IO1	POWER	芯片 IO 电压	3.3 V 供电，PE 组 IO 供电，就近放置 0.1uF 电容
H3	VCC33_IO2	POWER	芯片 IO 电压	3.3 V 供电，PN 组 IO 供电，就近放置 0.1uF 电容。

表 5-1 D126FxR 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
E3	LDOX	POWER	芯片 Core 电压	内置 LDO，可提供 1.1V 供电，就近放置 1uF 电容。
F3	VDD11	POWER	芯片 Core 电压	1.1V 供电，就近放置 1uF 电容。
G3	VDD11	POWER	芯片 Core 电压	1.1V 供电，就近放置 10uF +1uF 电容。
K4	LDO18	POWER	内置 LDO 输出	内部 PSRAM 使用，默认开启，就近放置 10 uF +0.1 uF 电容。
D10	LDO25	POWER	内置 LDO 输出	内部模拟模块使用，默认开启，就近放置 1 uF 电容。
K8	VDD33	POWER	RF 模块电源	3.3 V 供电，给内部 RF 模块供电，10uF+1uF 电容。
L9	V_RF	POWER	RF 内部电源	内部 DCDC 的 FB，10uH 电感 +10uF 电容。
M9	DCDC_SW	POWER	RF 内部电源	内部 DCDC 电路，10uH 电感 +10uF 电容。
M10	VDD33_PA	POWER	RF PA 电源	3.3 V 供电，给内部 RF PA 供电，10uF+1uF 电容。
L10	AVDD	POWER	RF 内部电源	RF 内部电源，就近放置 1 uF 电容。
J12	AVDD18	POWER	RF 内部电源	内部电源，就近放置 1 uF 电容。
K7	VCORE	POWER	RF 内部电源	内部电源，就近放置 1 uF 电容。
RF				
H12	XTAL1_IN	INPUT	晶振输入	默认接 26 MHz-负载电容 8.5pF 无源晶振。
J11	XTAL2_OUT	OUTPUT	晶振输出	默认接 26 MHz-负载电容 8.5pF 无源晶振。
M12	RF_ANT	A	RF 天线	WIFI+BT 的天线，靠近端口放置匹配电路。
L12	RFGND	A	RF GND	就近接小电感（默认 1.4nH，可根据板子微调）。
K6	RF_UART_RX	INPUT	UART_RX	RF 模块的 debug UART 的 RX。
K5	RF_UART_TX	OUTPUT	UART_TX	RF 模块的 debug UART 的 TX。

表 5-2 D126FxR 封装引脚复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								
C8	PA0	GPADC0	IR_TX	I2C0_SCK	UART0_TX	-	-	-
B8	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	-	LCD_TE
A8	PA2	GPADC2	CAN0_TX	I2C1_SCK	UART1_TX	-	-	CMU_CKN

表 5-2 D126FxR 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
A7	PA3	GPADC3	CAN0_RX	I2C1_SDA	UART1_RX	-	-	CMU_CKP
H10	PA4	GPADC4		CAN0_TX	UART2_TX		CAP1	OSC_32K
K9	PA5	GPADC5		CAN0_RX	UART2_RX			RTC_32K
C10	PA7	GPADC7		I2C0_SDA				
B7	PA8	RTP_XP	-	CAN0_TX	UART2_TX	I2C0_SCK		-
C7	PA9	RTP_YP	-	CAN0_RX	UART2_RX	I2C0_SDA		-
C6	PA10	RTP_XN	IR_RX	-	-	I2C1_SCK		JTAG_MS
C5	PA11	RTP_YN	IR_TX	-	-	I2C1_SDA		JTAG_CK
GPIO B								
D12	PB0	SPI0_WP	SPI1_WP	QEP0_A	UART0_TX	-	XPWM0	-
D11	PB1	SPI0_MISO	SPI1_MISO	QEP0_B	UART2_TX	-	XPWM1	-
C12	PB2	SPI0_CS	SPI1_CS	QEP0_I	UART2_RX	UART4_TX	XPWM2	-
C11	PB3	SPI0_HOLD	SPI1_HOLD	QEP1_A	UART0_RX	UART4_RX	XPWM3	-
B12	PB4	SPI0_CLK	SPI1_CLK	QEP1_B	UART2_RTS	UART4_RTS	CAP0	-
B11	PB5	SPI0_MOSI	SPI1_MOSI	QEP1_I	UART0_RTS	UART2_CTS	CAP1	-
B4	PB6	SDC0_CMD	SPI2_CS	-	UART1_TX	UART2_TX	SDC0_D1	
A4	PB7	SDC0_CLK	SPI2_MISO	-	UART1_RX	UART2_RX	SDC0_D0	
B5	PB8	SDC0_D3	SPI2_MOSI	-	UART1_RTS		SDC0_CLK	
A5	PB9	SDC0_D0	SPI2_CLK	-		-	SDC0_CMD	
B6	PB10	SDC0_D1	SPI2_HOLD	-		IR_RX	SDC0_D3	XPWM4
A6	PB11	SDC0_D2	SPI2_WP	-		IR_TX	SDC0_D2	XPWM5
GPIO C								
A9	PC0		-	CAP0		LCD_TE	SPI1_CS	JTAG_MS
B9	PC1		-	-	-	-	SPI1_MISO	-
A10	PC2		CAN0_TX	-	-	-	SPI1_MOSI	UART0_TX
B10	PC3		CAN0_RX	-	-	-	SPI1_CLK	-
A11	PC4		XPWM0	I2C1_SCK		-	SPI1_HOLD	UART0_RX
A12	PC5		XPWM1	I2C1_SDA		-	SPI1_WP	JTAG_CK
GPIO D								

表 5-2 D126FxR 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
E11	PD0	LCD_D0	SPI1_CS	I2C0_SCK	UART0_TX	I2S0_DIN		-
F12	PD1	LCD_D1	SPI1_MISO	I2C0_SDA	UART0_RX	I2S0_DOUT		-
F11	PD2	LCD_D2	SPI1_MOSI	I2C1_SCK	UART1_TX	I2S0_LRCK	I2C1_SDA	-
G12	PD3	LCD_D3	SPI1_CLK	I2C1_SDA	UART1_RX	I2S0_BCLK	I2C1_SCK	-
G11	PD4	LCD_D4	SPI1_HOLD	-	UART2_TX	I2S0_MCLK	XPWM3	-
H11	PD5	LCD_D5	SPI1_WP	-	UART2_RX	-	XPWM4	-
G10	PD6	LCD_D6	SPI3_CLK	XPWM0	-	-	XPWM5	-
F10	PD7	LCD_D7	SPI3_CS	XPWM1	-	-	-	-
M1	PD8	LCD_D8	SPI3_MOSI	XPWM2	-	-	-	-
M2	PD9	LCD_D9	SPI3_MISO	-	-	-	-	-
L1	PD10	LCD_D10	-	-	-	-	-	-
L2	PD11	LCD_D11	-	I2S0_DIN	-	-	-	-
K1	PD12	LCD_D12	-	I2S0_DOUT	-	-	-	-
K2	PD13	LCD_D13	-	I2S0_LRCK	-	CLK_OUT0	-	-
J1	PD14	LCD_D14	CAP1	I2S0_BCLK	-	-	-	-
J2	PD15	LCD_D15	XPWM2	I2S0_MCLK	-	-	-	-
H1	PD16	LCD_D16	XPWM3	-	UART2_TX	I2C0_SCK	SPI3_MOSI	-
H2	PD17	LCD_D17	XPWM4	-	UART2_RX	I2C0_SDA	SPI3_MISO	-
G1	PD18	LCD_D18	CAN0_TX	DSI_D0N	UART0_TX	I2C1_SCK	SPI3_CLK	-
G2	PD19	LCD_D19	CAN0_RX	DSI_D0P	UART0_RX	I2C1_SDA	SPI3_CS	-
F1	PD20	LCD_D20	-	DSI_D1N	UART1_TX	I2C1_SCK	SPI4_CLK	-
F2	PD21	LCD_D21	-	DSI_D1P	UART1_RX	I2C1_SDA	SPI4_CS	-
E1	PD22	LCD_D22	-	DSI_CKN		XPWM0	SPI4_MOSI	-
E2	PD23	LCD_D23	-	DSI_CKP		XPWM1	SPI4_MISO	-
D1	PD24	LCD_DCLK	-	DSI_D2N	-	XPWM2	SPI5_CLK	-
D2	PD25	LCD_HS	-	DSI_D2P	-	XPWM5	SPI5_CS	-
C1	PD26	LCD_VS	-	DSI_D3N	-	XPWM6	SPI5_MOSI	-
C2	PD27	LCD_DE	-	DSI_D3P	-	XPWM7	SPI5_MISO	CMU_CKT

表 5-2 D126FxR 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO E								
M3	PE0	LCD_D0	DVP_D0	SPI1_CS	LCD_D20	QEP1_B	XPWM0	-
L3	PE1	LCD_D1	DVP_D1	SPI1_MISO	LCD_D21	QEP1_I	XPWM1	-
M4	PE2	LCD_D2	DVP_D2	SPI1_MOSI	LCD_D22	UART4_TX	QEP0_A	-
L4	PE3	LCD_D3	DVP_D3	I2S0_MCLK	LCD_D23	UART4_RX	QEP0_B	LCD_D21
M5	PE4	LCD_D4	DVP_D4	-	LCD_DCLK	UART4_RTS	QEP0_I	-
L5	PE5	LCD_D5	DVP_D5	-	LCD_HS	SPI1_CS	QEP1_A	-
M6	PE6	LCD_D6	DVP_D6	-	LCD_VS	SPI1_MISO	QEP1_B	-
L6	PE7	LCD_D7	DVP_D7	LCD_TE	LCD_DE	SPI1_MOSI	QEP1_I	-
M7	PE8	LCD_D8	DVP_CK	CAN0_TX	LCD_D16	SPI1_CLK	EPWM2_B	-
L7	PE9	LCD_D9	DVP_HS	CAN0_RX	LCD_D17	SPI1_HOLD	EPWM2_A	-
M8	PE10	LCD_D10	DVP_VS	-	LCD_D18	SPI1_WP	EPWM1_B	-
L8	PE11	LCD_D11	XPWM2	CLK_OUT0	LCD_D19	I2S0_LRCK	EPWM1_A	-
GPIO F								
E12	PF0	CAP0	XPWM1	-	DSPK0	-	-	CMU_CKN
E10	PF1	CAP1	XPWM2	-	DSPK1	-	-	CMU_CKP
GPIO N								
B1	PN0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
A1	PN1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-

5.4. 引脚描述

表 5-3 D126 系列

引脚/信号名称	描述	类型
RTC		
RTC_IO0	唤醒输出控制, 低电平有效	OD
RTC_IO1	唤醒输入检测, 低电平有效	OD
RTC_XI	默认接 32.768KHz 无源晶振, 不使用 RTC 功能可悬空	I/O
RTC_XO	默认接 32.768KHz 无源晶振, 不使用 RTC 功能可悬空	I/O

表 5-3 D126 系列 (续)

引脚/信号名称	描述	类型
RTC_VCOIN	RTC 纽扣电池供电或外部独立 LDO 供电	P
RTC_32K	32.768KH 晶振时钟输出	O
USB		
USB0_DM	USB0 数据信号负端, 串电阻不大于 2.2R, 结电容 Cj 不大于 1pF	AI/O
USB0_DP	USB0 数据信号正端, 串电阻不大于 2.2R, 结电容 Cj 不大于 1pF	AI/O
SDC, x = 0~1		
SDCx_CMD	SDIO 控制信号	I/O
SDCx_CLK	SDIO 时钟信号	O
SDCx_D[3:0]	SDIO 数据输入输出	I/O
QSPI, x = 0~2		
SPIx_HOLD	SPIx 保持信号, 外挂上拉; QSPI 数据线 IO3	I/O
SPIx_WP	SPIx 写保护信号, 外挂上拉; QSPI 数据线 IO2	I/O
SPIx_CS	SPIx 片选信号, 外挂上拉; QSPI 片选信号	I/O
SPIx_CLK	SPIx 时钟信号; QSPI 时钟信号	I/O
SPIx_MOSI	SPIx 主机数据输出, 从机数据输入; QSPI 数据线 IO0	I/O
SPIx_MISO	SPIx 主机数据输入, 从机数据输出; QSPI 数据线 IO1	I/O
SPI, x = 3~5		
SPIx_CS	SPIx 片选信号, 外挂上拉	I/O
SPIx_CLK	SPIx 时钟信号	I/O
SPIx_MOSI	SPIx 主机数据输出, 从机数据输入	I/O
SPIx_MISO	SPIx 主机数据输入, 从机数据输出	I/O
UART, x = 0~4		
UARTx_TX	UARTx 数据发送	O
UARTx_RX	UARTx 数据接收	I
UARTx_CTS	UARTx 发送允许	I
UARTx_RTS	UARTx 发送请求	O
I2C, x = 0~1		
I2Cx_SCL	I2Cx 串行时钟信号, 需要外挂 2.2k 上拉电阻	I/O
I2Cx_SDA	I2Cx 串行数据信号, 需要外挂 2.2k 上拉电阻	I/O

表 5-3 D126 系列 (续)

引脚/信号名称	描述	类型
CAN		
CAN0_TX	CAN 数据发送	I/O
CAN0_RX	CAN 数据接收	I/O
CIR		
IR_TX	红外数据发送	O
IR_RX	红外数据接收	I
DSPK		
DSPK0	数字音频信号输出通道 0	O
DSPK1	数字音频信号输出通道 1	O
I2S		
I2S0_MCLK	I2S 主时钟	O
I2S0_LRCK	I2S 左/右时钟	I/O
I2S0_BCLK	I2S 位时钟	I/O
I2S0_DOUT	I2S 串行数据输出	O
I2S0_DIN	I2S 串行数据输入	I
XPWM, x = 0~7		
XPWM _x	PWM 输出	O
EPWM, x = 1~2		
EPWM _x _A	EPWM _x A 通道	O
EPWM _x _B	EPWM _x B 通道	O
CAP, x = 0~1		
CAP _x	方波输入捕获	I/O
QEP, x = 0~1		
QEPn_A	QEPn 的输入 A 信号	I
QEPn_B	QEPn 的输入 B 信号	I
QEPn_I	QEPn 的输入输出 I 信号	I/O
ADC, x = 0~7		
GPADC _x	模拟采样信号输入	AI
RTP		

表 5-3 D126 系列 (续)

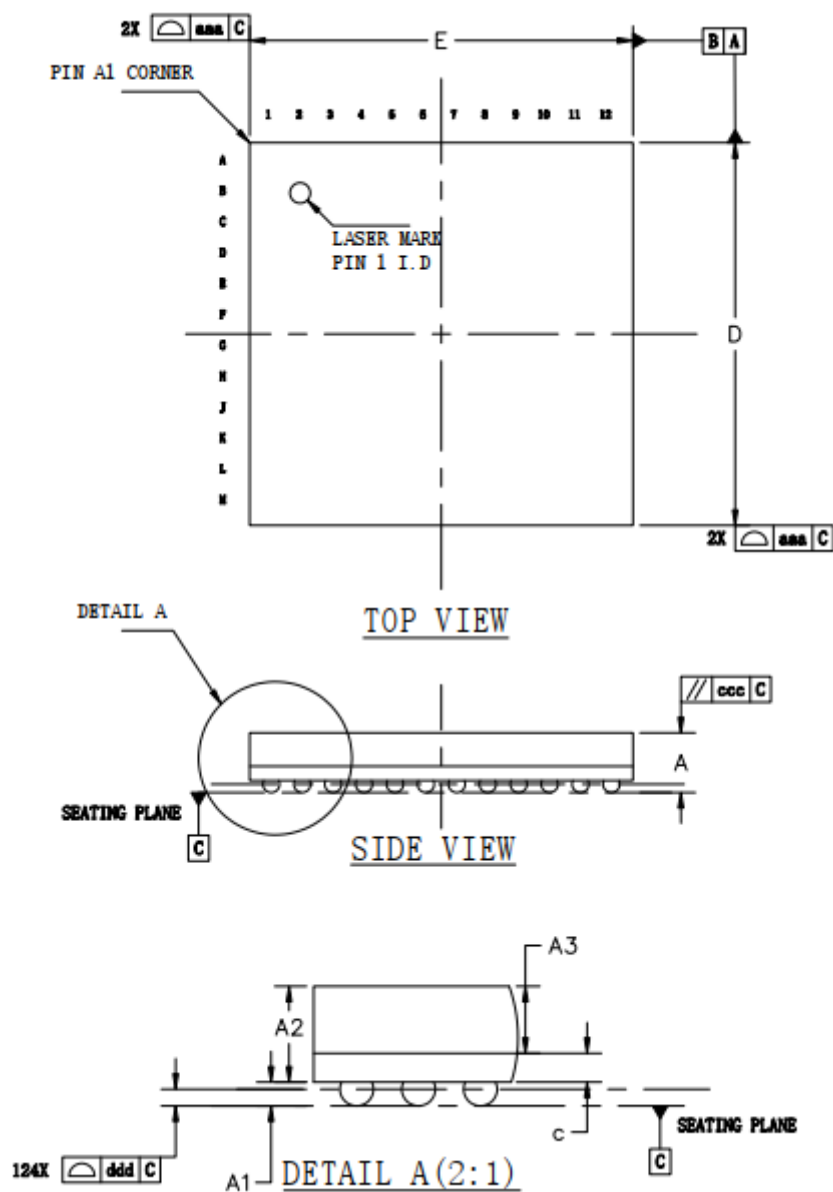
引脚/信号名称	描述	类型
RTP_XP	RTP X 方向正端, 若不使用 RTP 可当 ADC 功能使用	AI
RTP_YP	RTP Y 方向正端, 若不使用 RTP 可当 ADC 功能使用	AI
RTP_XN	RTP X 方向负端, 若不使用 RTP 可当 ADC 功能使用	AI
RTP_YN	RTP Y 方向负端, 若不使用 RTP 可当 ADC 功能使用	AI
LCD		
LCD_D[23:0]	LCD_D[23:0]为 RGB 屏数据信号 LCD_D[23:16]为 SRGB/I8080 屏[DB7~DB0]信号 LCD_D[21] 为 SPI 屏 SDA 信号 LCD_D[23:20] 为 QSPI 屏 SDA[3:0]信号	O
LCD_DCLK	RGB 屏时钟信号; I8080 屏 WR 信号; SPI/QSPI 屏 SCL 信号;	O
LCD_HS	RGB 屏行场同步; I8080 屏 RD 信号;	O
LCD_VS	RGB 屏列场同步; I8080 屏 CS 信号; SPI/QSPI 屏 CS 信号	O
LCD_DE	RGB 屏数据使能; I8080 屏 RS 信号; SPI/QSPI 屏 RS 信号	O
LCD_TE	TE 信号输入, 常见于 SPI/QSPI 屏、I8080 屏、MIPI 屏	I
MIPI DSI		
DSI_D0N	MIPI DSI 数据 0 负端, 数据对 0~3 任意互换, 极性互换	AO
DSI_D0P	MIPI DSI 数据 0 正端, 数据对 0~3 任意互换, 极性互换	AO
DSI_D1N	MIPI DSI 数据 1 负端, 数据对 0~3 任意互换, 极性互换	AO
DSI_D1P	MIPI DSI 数据 1 正端, 数据对 0~3 任意互换, 极性互换	AO
DSI_CKN	MIPI DSI 时钟负端, 固定 PD22/PD23 引脚, 极性互换	AO
DSI_CKP	MIPI DSI 时钟正端, 固定 PD22/PD23 引脚, 极性互换	AO
DSI_D2N	MIPI DSI 数据 2 负端, 数据对 0~3 任意互换, 极性互换	AO
DSI_D2P	MIPI DSI 数据 2 正端, 数据对 0~3 任意互换, 极性互换	AO
DSI_D3N	MIPI DSI 数据 3 负端, 数据对 0~3 任意互换, 极性互换	AO
DSI_D3P	MIPI DSI 数据 3 正端, 数据对 0~3 任意互换, 极性互换	AO
DVP		
DVP_CK	DVP 像素时钟	I
DVP_HS	DVP 行场同步	I
DVP_VS	DVP 列场同步	I

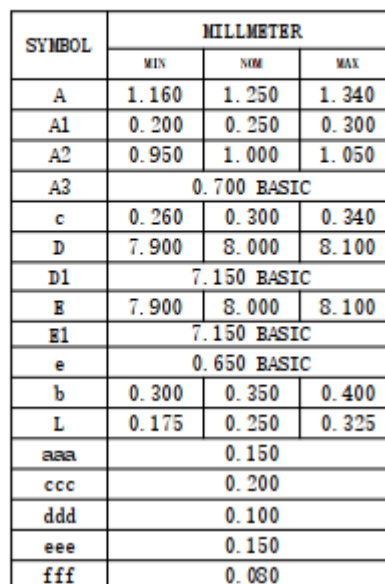
表 5-3 D126 系列 (续)

引脚/信号名称	描述	类型
DVP_D[7:0]	DVP 数据输入	I
CLK_OUT		
CLK_OUT0	PLL 时钟分频输出，可输出 24MHz/25MHz/50MHz 等时钟	O
JTAG		
JTAG_MS	两线制 JTAG 数据信号	I/O
JTAG_CK	两线制 JTAG 时钟信号	I/O
CMU_CK		
CMU_CKN	测试时钟分频输出负端	O
CMU_CKP	测试时钟分频输出正端	O
RF		
XTAL1	晶振输入，默认接 26 MHz-负载电容 8.5pF 无源晶振。	I
XTAL2	晶振输出，默认接 26 MHz-负载电容 8.5pF 无源晶振。	O
RF_ANT	射频天线端口，靠近端口放置匹配电路。	A
RF_GND	射频地，就近接小电感到地（默认 1.4nH，可根据板子微调）。	A

5.5. 封装尺寸

5.5.1. D126 系列





3 2 1

A

B

C

124X b

DETAIL B (2:1)