



D125 硬件指南

Version 1.0.0

修订日期： 2026-07-17

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其他义务。

凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

修订记录

下表记录了从 V1.0 开始至今的所有修订历史：

表 0-1 修订记录

版本	章节	修订说明
V1.0	-	初版。

内容

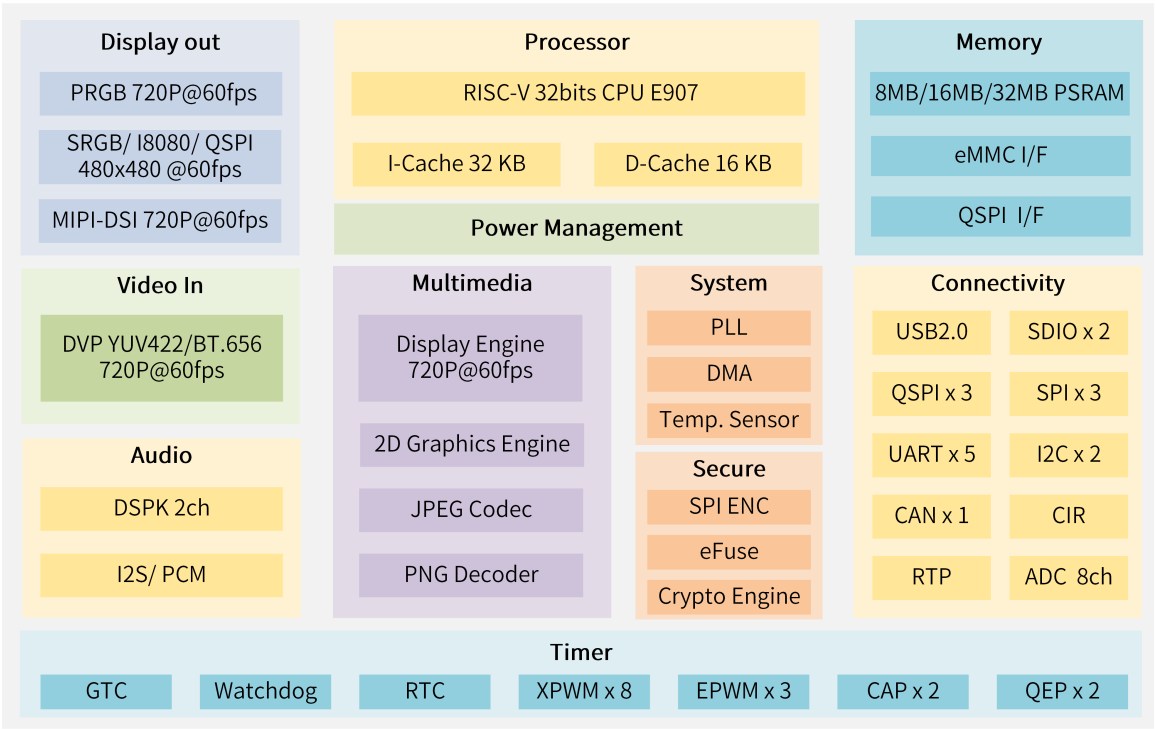
版权声明.....	ii
修订记录.....	iii
1. 简介.....	6
2. 原理图设计.....	7
2.1. 引脚复用.....	7
2.1.1. D125CxS.....	7
2.1.2. D125ExS.....	11
2.2. 时钟和电源.....	17
2.2.1. 电源系统方案.....	17
2.2.2. POWER.....	18
2.2.3. PLL.....	19
2.2.4. RTC.....	19
2.2.5. BOOT.....	19
2.2.6. RESET.....	20
2.3. 存储.....	20
2.3.1. FLASH.....	20
2.3.2. eMMC.....	21
2.3.3. CARD.....	22
2.4. 多媒体.....	23
2.4.1. AUDIO.....	23
2.4.2. MIPI-DSI 屏接口.....	25
2.4.3. MCU 屏接口.....	26
2.4.4. RGB 屏接口.....	28
2.4.5. PWM.....	31
2.4.6. TP.....	33
2.5. 通用接口.....	33
2.5.1. CAN.....	33
2.5.2. CIR.....	34
2.5.3. I2C.....	34
2.5.4. SDIO.....	35
2.5.5. SPI.....	36
2.5.6. UART.....	36
3. 布线设计.....	39
3.1. 电源.....	39
3.2. 布局.....	39
3.3. DCDC 电路.....	39
3.4. 高速信号.....	39
3.5. 屏蔽.....	40
3.6. 隔离.....	40
3.7. 信号回流路径.....	40
4. 设计自查.....	41
4.1. POWER 设计 Checklist.....	41
4.2. 显示接口设计 Checklist.....	41
4.3. Speaker 设计 Checklist.....	41
4.4.	
4.5. 串行通信接口设计 Checklist.....	42

4.6. 特殊 GPIO 设计 Checklist.....	42
4.7. EMC 防护设计 Checklist.....	42

ArtInChip

1. 简介

D125 是一款基于 RISC-V 的高性能、国产自主、工业级高清显示与智能控制 MCU，配备强大的 2D 图形加速处理器、PNG 解码、JPEG 编解码引擎、丰富的屏接口，支持工业宽温，具有高可靠性、高开放性，可广泛应用于工业 HMI、网关、串口屏等泛工业和智慧家居领域。



2. 原理图设计

2.1. 引脚复用

!

重要：

• 只有 SPI0 支持 Flash 启动。

• PF0 / PF1 电源域为 LDO25，做 IO 输入/输出时需注意电平。

• 启动阶段 BROM 有扫描介质过程，SDC1_D0/ CMD/ CLK 和 SPI0_CS/ MOSI/ CLK 引脚有毫秒级脉冲波形输出，做 IO 输出时需注意，做输入无影响。

• PS0/PS1 是 OD 引脚，需要外挂上拉；PS2/PS3 当 IO 时，RTC_VCOIN 需要 3.3V 供电

• 轻度休眠，D125CxS 和 D125ExS 都支持，VCC33/ VDD11/ LDO18 需要常供电，其中 VDD11 和 LDO18 可使用内置 LDO 供电或外部供电，RTC_IO1 或任意 IO 用于休眠唤醒；

• 深度休眠，只有 D125ExS 支持，VCC33/ LDO18 需要常供电，其中 VDD11 需要外部供电并使用 RTC_IO0 控制关闭，LDO18 需预留外部 LDO 供电，RTC_IO1 用于休眠唤醒。

2.1.1. D125CxS

表 2-1 D125CxS 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
83	RTC_IO1	OD	唤醒输入检测	休眠时，外部按键、IO 唤醒源输入检测，外挂上拉，低电平有效
84	RTC_IO0	OD	唤醒输出控制	休眠时，控制外部电源使能关闭，外挂上拉，低电平有效
85	RTC_VCOIN	POWER	RTC 外部供电	不考虑掉电保持可悬空，外挂供电需接 (10 K Ω / 0.1 μ F) 延迟上电
86	RTC_XO	I/O	–	接 32.768kHz 无源晶振，若不使用内置 RTC 功能可悬空
87	RTC_XI	I/O	–	接 32.768kHz 无源晶振，若不使用内置 RTC 功能可悬空
SYSTEM				
67	RESETN	INPUT	系统复位	内置 30 k Ω 上拉，不使用可悬空，外挂电容不超过 4.7 μ F。
81	PLL_XO	OUTPUT	–	默认接 24 MHz 无源晶振；接有源晶振时悬空
82	PLL_XI	INPUT	–	默认接 24 MHz 无源晶振；可接有源晶振输出
POWER				
15	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电，PA/PB/PC/PD/PE/PN 组 IO 供电，就近放置 0.1 μ F 电容

在线留言

Copyright © 2023–2025 ArtInChip Technology Co., Ltd.
All rights reserved

D125 硬件指南

表 2-1 D125CxS 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
32	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电, PA/PB/PC/PD/PE/PN 组 IO 供电, 就近放置 0.1uF 电容
69	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电, PA/PB/PC/PD/PE/PN 组 IO 供电, 放置 10uF+0.1uF 电容。
8	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 就近放置 1 uF 电容。
30	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 就近放置 1 uF 电容。
68	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 内部 LDO1x 与该引脚连接, 就近放置 10uF+1uF 电容。
31	LDO18	POWER	内置 LDO 输出	内部 PSRAM 使用, 默认开启, 就近放置 10 uF + 0.1 uF 电容。
70	LDO25	POWER	内置 LDO 输出	内部模拟模块使用, 默认开启, 就近放置 1 uF 电容。
89	GND	POWER	-	GND 铜皮全连接, 需多加过孔散热。

表 2-2 D125CxS 封装引脚复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								
71	PA0	GPADC0	IR_TX	I2C0_SCK	UART0_TX	-	-	-
72	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	-	LCD_TE
73	PA2	GPADC2	CAN0_TX	I2C1_SCK	UART1_TX	-	-	CMU_CKN
74	PA3	GPADC3	CAN0_RX	I2C1_SDA	UART1_RX	-	-	CMU_CKP
75	PA4	GPADC4	-	CAN0_TX	UART2_TX	-	CAP1	OSC_32K
76	PA5	GPADC5	-	CAN0_RX	UART2_RX	-	-	RTC_32K
77	PA8	RTP_XP	-	CAN0_TX	UART2_TX	I2C0_SCK	UART3_CTS	-
78	PA9	RTP_YP	-	CAN0_RX	UART2_RX	I2C0_SDA	UART3_RTS	-
79	PA10	RTP_XN	IR_RX	-	-	I2C1_SCK	UART3_TX	JTAG_MS
80	PA11	RTP_YN	IR_TX	-	-	I2C1_SDA	UART3_RX	JTAG_CK
GPIO B								
55	PB0	SPI0_WP	SPI1_WP	QEP0_A	UART0_TX	-	XPWM0	-
56	PB1	SPI0_MISO	SPI1_MISO	QEP0_B	UART2_TX	-	XPWM1	-
57	PB2	SPI0_CS	SPI1_CS	QEP0_I	UART2_RX	UART4_TX	XPWM2	-
58	PB3	SPI0_HOLD	SPI1_HOLD	QEP1_A	UART0_RX	UART4_RX	XPWM3	-
59	PB4	SPI0_CLK	SPI1_CLK	QEP1_B	UART2_RTS	UART4_RTS	CAP0	-

表 2-2 D125CxS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
60	PB5	SPI0_MOSI	SPI1_MOSI	QEP1_I	UART0_RTS	UART2_CTS	CAP1	-
2	PB6	SDC0_CMD	SPI2_CS	-	UART1_TX	UART2_TX	SDC0_D1	-
3	PB7	SDC0_CLK	SPI2_MISO	-	UART1_RX	UART2_RX	SDC0_D0	-
4	PB8	SDC0_D3	SPI2_MOSI	-	UART1_RTS	UART3_CTS	SDC0_CLK	-
5	PB9	SDC0_D0	SPI2_CLK	-	UART3_RTS	-	SDC0_CMD	-
6	PB10	SDC0_D1	SPI2_HOLD	-	UART3_TX	IR_RX	SDC0_D3	XPWM4
7	PB11	SDC0_D2	SPI2_WP	-	UART3_RX	IR_TX	SDC0_D2	XPWM5
GPIO C								
61	PC0	SDC1_D1	-	CAP0	UART3_RTS	LCD_TE	SPI1_CS	JTAG_MS
62	PC1	SDC1_D0	-	-	-	-	SPI1_MISO	-
63	PC2	SDC1_CLK	CAN0_TX	-	-	-	SPI1_MOSI	UART0_TX
64	PC3	SDC1_CMD	CAN0_RX	-	-	-	SPI1_CLK	-
65	PC4	SDC1_D3	XPWM0	I2C1_SCK	UART3_TX	-	SPI1_HOLD	UART0_RX
66	PC5	SDC1_D2	XPWM1	I2C1_SDA	UART3_RX	-	SPI1_WP	JTAG_CK
GPIO D								
52	PD0	LCD_D0	SPI1_CS	I2C0_SCK	UART0_TX	I2S0_DIN	UART3_RX	-
51	PD1	LCD_D1	SPI1_MISO	I2C0_SDA	UART0_RX	I2S0_DOUT	UART3_TX	-
50	PD2	LCD_D2	SPI1_MOSI	I2C1_SCK	UART1_TX	I2S0_LRCK	I2C1_SDA	-
49	PD3	LCD_D3	SPI1_CLK	I2C1_SDA	UART1_RX	I2S0_BCLK	I2C1_SCK	-
48	PD4	LCD_D4	SPI1_HOLD	-	UART2_TX	I2S0_MCLK	XPWM3	-
47	PD5	LCD_D5	SPI1_WP	-	UART2_RX	-	XPWM4	-
46	PD6	LCD_D6	SPI3_CLK	XPWM0	-	-	XPWM5	-
45	PD7	LCD_D7	SPI3_CS	XPWM1	-	-	-	-
29	PD8	LCD_D8	SPI3_MOSI	XPWM2	-	-	-	-
28	PD9	LCD_D9	SPI3_MISO	-	-	-	-	-
27	PD10	LCD_D10	-	-	-	-	-	-
26	PD11	LCD_D11	-	I2S0_DIN	-	-	-	-

表 2-2 D125CxS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
25	PD12	LCD_D12	-	I2S0_DOUT	-	-	-	-
24	PD13	LCD_D13	-	I2S0_LRCK	-	CLK_OUT0	-	-
23	PD14	LCD_D14	CAP1	I2S0_BCLK	-	-	-	-
22	PD15	LCD_D15	XPWM2	I2S0_MCLK	-	-	-	-
21	PD16	LCD_D16	XPWM3	-	UART2_TX	I2C0_SCK	SPI3_MOSI	-
20	PD17	LCD_D17	XPWM4	-	UART2_RX	I2C0_SDA	SPI3_MISO	-
19	PD18	LCD_D18	CAN0_TX	DSI_D0N	UART0_TX	I2C1_SCK	SPI3_CLK	-
18	PD19	LCD_D19	CAN0_RX	DSI_D0P	UART0_RX	I2C1_SDA	SPI3_CS	-
17	PD20	LCD_D20	-	DSI_D1N	UART1_TX	I2C1_SCK	SPI4_CLK	-
16	PD21	LCD_D21	-	DSI_D1P	UART1_RX	I2C1_SDA	SPI4_CS	-
14	PD22	LCD_D22	-	DSI_CKN	UART3_TX	XPWM0	SPI4_MOSI	-
13	PD23	LCD_D23	-	DSI_CKP	UART3_RX	XPWM1	SPI4_MISO	-
12	PD24	LCD_DCLK	-	DSI_D2N	-	XPWM2	SPI5_CLK	-
11	PD25	LCD_HS	-	DSI_D2P	-	XPWM5	SPI5_CS	-
10	PD26	LCD_VS	-	DSI_D3N	-	XPWM6	SPI5_MOSI	-
9	PD27	LCD_DE	-	DSI_D3P	-	XPWM7	SPI5_MISO	CMU_CKT
GPIO E								
33	PE0	LCD_D0	DVP_D0	SPI1_CS	LCD_D20	QEP1_B	XPWM0	-
34	PE1	LCD_D1	DVP_D1	SPI1_MISO	LCD_D21	QEP1_I	XPWM1	-
35	PE2	LCD_D2	DVP_D2	SPI1_MOSI	LCD_D22	UART4_TX	QEP0_A	-
36	PE3	LCD_D3	DVP_D3	I2S0_MCLK	LCD_D23	UART4_RX	QEP0_B	LCD_D21
37	PE4	LCD_D4	DVP_D4	-	LCD_DCLK	UART4_RTS	QEP0_I	-
38	PE5	LCD_D5	DVP_D5	-	LCD_HS	SPI1_CS	QEP1_A	-
39	PE6	LCD_D6	DVP_D6	-	LCD_VS	SPI1_MISO	QEP1_B	-
40	PE7	LCD_D7	DVP_D7	LCD_TE	LCD_DE	SPI1_MOSI	QEP1_I	-
41	PE8	LCD_D8	DVP_CK	CAN0_TX	LCD_D16	SPI1_CLK	EPWM2_B	-
42	PE9	LCD_D9	DVP_HS	CAN0_RX	LCD_D17	SPI1_HOLD	EPWM2_A	-

表 2-2 D125CxS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
43	PE10	LCD_D10	DVP_VS	-	LCD_D18	SPI1_WP	EPWM1_B	-
44	PE11	LCD_D11	XPWM2	CLK_OUT0	LCD_D19	I2S0_LRCK	EPWM1_A	-
GPIO F								
54	PF0	CAP0	XPWM1	-	DSPK0	-	-	CMU_CKN
53	PF1	CAP1	XPWM2	-	DSPK1	-	-	CMU_CKP
GPIO N								
88	PN0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
1	PN1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
GPIO S								
84	PS0	RTC_IO0	-	IR_TX	I2C0_SCK	UART0_TX	-	-
83	PS1	RTC_IO1	-	IR_RX	I2C0_SDA	UART0_RX	-	-
87	PS2	RTC_XI	-	CAN0_TX	I2C1_SCK	UART1_TX	-	-
86	PS3	RTC_XO	-	CAN0_RX	I2C1_SDA	UART1_RX	-	-

2.1.2. D125ExS

表 2-3 D125ExS 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
58	RTC_IO1	OD	唤醒输入检测	休眠时，外部按键、IO 唤醒源输入检测，外挂上拉，低电平有效
59	RTC_IO0	OD	唤醒输出控制	休眠时，控制外部电源使能关闭，外挂上拉，低电平有效
60	RTC_VCOIN	POWER	RTC 外部供电	不考虑掉电保持可悬空，内部有二极管从 3.3V 取电，外挂供电需接 RC 延迟上电 (10 K Ω /0.1 μ F)
61	RTC_XO	I/O	-	接 32.768kHz 无源晶振，若不使用内置 RTC 功能可悬空
62	RTC_XI	I/O	-	接 32.768kHz 无源晶振，若不使用内置 RTC 功能可悬空
SYSTEM				
38	RESETN	INPUT	系统复位	内置 30 k Ω 上拉，不使用可悬空，外挂电容不超过 4.7 μ F。
56	PLL_XO	OUTPUT	-	默认接 24 MHz 无源晶振；接有源晶振时悬空
57	PLL_XI	INPUT	-	默认接 24 MHz 无源晶振；可接有源晶振输出

表 2-3 D125ExS 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
POWER				
41	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电, PA/PB/PC/PD 组 IO 供电, 放置 10uF+0.1uF 电容。
55	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电, PA/PB/PC/PD 组 IO 供电, 就近放置 0.1uF 电容。
90	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电, PA/PB/PC/PD 组 IO 供电, 就近放置 0.1uF 电容。
109	VCC33_I00	POWER	芯片 IO 电压	3.3 V 供电, PA/PB/PC/PD 组 IO 供电, 就近放置 0.1uF 电容。
65	VCC33_I02	POWER	芯片 IO 电压	3.3 V 供电, PN 组 IO 供电, 就近放置 0.1uF 电容。
131	VCC33_I01	POWER	芯片 IO 电压	3.3 V/1.8V 供电, PE 组 IO 供电, 就近放置 0.1uF 电容。
13	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 就近放置 1uF 电容。
39	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 就近放置 10uF+1uF 电容。
77	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 就近放置 1uF 电容。
107	VDD11	POWER	芯片 Core 电压	1.1V 或 1.2V 供电, 就近放置 1uF 电容。
40	LDO1x	POWER	芯片 Core 电压	可供 VDD11 使用, 默认开启, 就近放置 1uF 电容。
108	LDO18	POWER	内置 LDO 输出	内部 PSRAM 使用, 默认开启, 就近放置 10 uF+0.1 uF 电容。
42	LDO25	POWER	内置 LDO 输出	内部模拟模块使用, 默认开启, 就近放置 1 uF 电容。
10	VCC25_IO	POWER	芯片 IO 电压	LDO25 供电, PF 组 IO 电压, 就近放置 1uF 电容。
1	GND	POWER	-	-
33	GND	POWER	-	-
34	GND	POWER	-	-
66	GND	POWER	-	-
67	GND	POWER	-	-
99	GND	POWER	-	-
100	GND	POWER	-	-
132	GND	POWER	-	-
133	GND	POWER	-	GND 铜皮全连接, 需多加过孔散热。
69	NC1	-	-	悬空
70	NC2	-	-	悬空

表 2-4 D125ExS 封装引脚复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
GPIO A								
43	PA0	GPADC0	IR_TX	I2C0_SCK	UART0_TX	-	-	-
44	PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	-	LCD_TE
45	PA2	GPADC2	CAN0_TX	I2C1_SCK	UART1_TX	-	-	CMU_CKN
46	PA3	GPADC3	CAN0_RX	I2C1_SDA	UART1_RX	-	-	CMU_CKP
47	PA4	GPADC4	-	CAN0_TX	UART2_TX	-	CAP1	OSC_32K
48	PA5	GPADC5	-	CAN0_RX	UART2_RX	-	-	RTC_32K
49	PA6	GPADC6	-	I2C0_SCK	UART3_TX	-	-	-
50	PA7	GPADC7	-	I2C0_SDA	UART3_RX	-	-	-
51	PA8	RTP_XP	-	CAN0_TX	UART2_TX	I2C0_SCK	UART3_CTS	-
52	PA9	RTP_YP	-	CAN0_RX	UART2_RX	I2C0_SDA	UART3_RTS	-
53	PA10	RTP_XN	IR_RX	-	-	I2C1_SCK	UART3_TX	JTAG_MS
54	PA11	RTP_YN	IR_TX	-	-	I2C1_SDA	UART3_RX	JTAG_CK
GPIO B								
17	PB0	SPI0_WP	SPI1_WP	QEP0_A	UART0_TX	-	XPWM0	-
18	PB1	SPI0_MISO	SPI1_MISO	QEP0_B	UART2_TX	-	XPWM1	-
19	PB2	SPI0_CS	SPI1_CS	QEP0_I	UART2_RX	UART4_TX	XPWM2	-
20	PB3	SPI0_HOLD	SPI1_HOLD	QEP1_A	UART0_RX	UART4_RX	XPWM3	-
21	PB4	SPI0_CLK	SPI1_CLK	QEP1_B	UART2_RTS	UART4_RTS	CAP0	-
22	PB5	SPI0_MOSI	SPI1_MOSI	QEP1_I	UART0_RTS	UART2_CTS	CAP1	-
71	PB6	SDC0_CMD	SPI2_CS	-	UART1_TX	UART2_TX	SDC0_D1	-
72	PB7	SDC0_CLK	SPI2_MISO	-	UART1_RX	UART2_RX	SDC0_D0	-
73	PB8	SDC0_D3	SPI2_MOSI	-	UART1_RTS	UART3_CTS	SDC0_CLK	-
74	PB9	SDC0_D0	SPI2_CLK	-	UART3_RTS	-	SDC0_CMD	-
75	PB10	SDC0_D1	SPI2_HOLD	-	UART3_TX	IR_RX	SDC0_D3	XPWM4
76	PB11	SDC0_D2	SPI2_WP	-	UART3_RX	IR_TX	SDC0_D2	XPWM5
14	PB12	-	-	-	-	-	-	SPI0_WP
15	PB13	-	-	-	-	-	-	SPI0_MISO

表 2-4 D125ExS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
16	PB14	-	-	-	-	-	-	SPI0_CS
29	PB15	-	-	-	-	-	-	SPI0_HOLD
30	PB16	-	-	-	-	-	-	SPI0_CLK
31	PB17	-	-	-	-	-	-	SPI0_MOSI
32	PB18	-	-	-	-	-	UART3_CTS	-
35	PB19	-	-	-	-	-	UART3_TX	-
36	PB20	-	-	-	-	-	UART3_RX	-
37	PB21	-	-	-	-	-	UART3_RTS	-
GPIO C								
23	PC0	SDC1_D1	-	CAPO	UART3_RTS	LCD_TE	SPI1_CS	JTAG_MS
24	PC1	SDC1_D0	-	-	-	-	SPI1_MISO	-
25	PC2	SDC1_CLK	CAN0_TX	-	-	-	SPI1_MOSI	UART0_TX
26	PC3	SDC1_CMD	CAN0_RX	-	-	-	SPI1_CLK	-
27	PC4	SDC1_D3	XPWM0	I2C1_SCK	UART3_TX	-	SPI1_HOLD	UART0_RX
28	PC5	SDC1_D2	XPWM1	I2C1_SDA	UART3_RX	-	SPI1_WP	JTAG_CK
78	PC6	SDC1_DET	SPI2_HOLD	I2C0_SDA	UART3_CTS	LCD_TE	XPWM6	CAPO
79	PC7	-	SPI2_WP	-	-	-	EPWM_SO0	CAP1
80	PC8	SPI5_CLK	SPI2_CLK	CAN0_TX	UART4_TX	EPWM_FLT0	EPWM_SO1	EPWM_TO0
81	PC9	SPI5_CS	SPI2_CS	CAN0_RX	UART4_RX	EPWM_FLT1	-	-
82	PC10	SPI5_MOSI	SPI2_MOSI	-	-	EPWM_SI0	-	-
83	PC11	SPI5_MISO	SPI2_MISO	-	-	EPWM_SI1	EPWM_SO4	-
GPIO D								
9	PD0	LCD_D0	SPI1_CS	I2C0_SCK	UART0_TX	I2S0_DIN	UART3_RX	-
8	PD1	LCD_D1	SPI1_MISO	I2C0_SDA	UART0_RX	I2S0_DOUT	UART3_TX	-
7	PD2	LCD_D2	SPI1_MOSI	I2C1_SCK	UART1_TX	I2S0_LRCK	I2C1_SDA	-
6	PD3	LCD_D3	SPI1_CLK	I2C1_SDA	UART1_RX	I2S0_BCLK	I2C1_SCK	-
5	PD4	LCD_D4	SPI1_HOLD	-	UART2_TX	I2S0_MCLK	XPWM3	-

表 2-4 D125ExS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
4	PD5	LCD_D5	SPI1_WP	-	UART2_RX	-	XPWM4	-
3	PD6	LCD_D6	SPI3_CLK	XPWM0	-	-	XPWM5	-
2	PD7	LCD_D7	SPI3_CS	XPWM1	-	-	-	-
106	PD8	LCD_D8	SPI3_MOSI	XPWM2	-	-	-	-
105	PD9	LCD_D9	SPI3_MISO	-	-	-	-	-
104	PD10	LCD_D10	-	-	-	-	-	-
103	PD11	LCD_D11	-	I2S0_DIN	-	-	-	-
102	PD12	LCD_D12	-	I2S0_DOUT	-	-	-	-
101	PD13	LCD_D13	-	I2S0_LRCK	-	CLK_OUT0	-	-
98	PD14	LCD_D14	CAP1	I2S0_BCLK	-	-	-	-
97	PD15	LCD_D15	XPWM2	I2S0_MCLK	-	-	-	-
96	PD16	LCD_D16	XPWM3	-	UART2_TX	I2C0_SCK	SPI3_MOSI	-
95	PD17	LCD_D17	XPWM4	-	UART2_RX	I2C0_SDA	SPI3_MISO	-
94	PD18	LCD_D18	CAN0_TX	DSI_D0N	UART0_TX	I2C1_SCK	SPI3_CLK	-
93	PD19	LCD_D19	CAN0_RX	DSI_D0P	UART0_RX	I2C1_SDA	SPI3_CS	-
92	PD20	LCD_D20	-	DSI_D1N	UART1_TX	I2C1_SCK	SPI4_CLK	-
91	PD21	LCD_D21	-	DSI_D1P	UART1_RX	I2C1_SDA	SPI4_CS	-
89	PD22	LCD_D22	-	DSI_CKN	UART3_TX	XPWM0	SPI4_MOSI	-
88	PD23	LCD_D23	-	DSI_CKP	UART3_RX	XPWM1	SPI4_MISO	-
87	PD24	LCD_DCLK	-	DSI_D2N	-	XPWM2	SPI5_CLK	-
86	PD25	LCD_HS	-	DSI_D2P	-	XPWM5	SPI5_CS	-
85	PD26	LCD_VS	-	DSI_D3N	-	XPWM6	SPI5_MOSI	-
84	PD27	LCD_DE	-	DSI_D3P	-	XPWM7	SPI5_MISO	CMU_CKT
GPIO E								
110	PE0	LCD_D0	DVP_D0	SPI1_CS	LCD_D20	QEP1_B	XPWM0	-
111	PE1	LCD_D1	DVP_D1	SPI1_MISO	LCD_D21	QEP1_I	XPWM1	-

表 2-4 D125ExS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
112	PE2	LCD_D2	DVP_D2	SPI1_MOSI	LCD_D22	UART4_TX	QEP0_A	-
113	PE3	LCD_D3	DVP_D3	I2S0_MCLK	LCD_D23	UART4_RX	QEP0_B	LCD_D21
114	PE4	LCD_D4	DVP_D4	-	LCD_DCLK	UART4_RTS	QEP0_I	-
115	PE5	LCD_D5	DVP_D5	-	LCD_HS	SPI1_CS	QEP1_A	-
116	PE6	LCD_D6	DVP_D6	-	LCD_VS	SPI1_MISO	QEP1_B	-
117	PE7	LCD_D7	DVP_D7	LCD_TE	LCD_DE	SPI1_MOSI	QEP1_I	-
118	PE8	LCD_D8	DVP_CK	CAN0_TX	LCD_D16	SPI1_CLK	EPWM2_B	-
119	PE9	LCD_D9	DVP_HS	CAN0_RX	LCD_D17	SPI1_HOLD	EPWM2_A	-
120	PE10	LCD_D10	DVP_VS	-	LCD_D18	SPI1_WP	EPWM1_B	-
121	PE11	LCD_D11	XPWM2	CLK_OUT0	LCD_D19	I2S0_LRCK	EPWM1_A	-
125	PE12	LCD_D12	XPWM3	I2C0_SCK	DSPK1	I2S0_BCLK	EPWM0_B	SDC1_D2
126	PE13	LCD_D13	XPWM4	I2C0_SDA	DSPK0	I2S0_DOUT	EPWM0_A	SDC1_D3
127	PE14	LCD_D14	I2S0_MCLK	I2C1_SCK	XPWM0	-	QEP1_B	SDC1_CMD
128	PE15	-	XPWM5	I2C1_SDA	-	-	-	SDC1_CLK
129	PE16	-	XPWM6	I2S0_DIN	UART4_TX	-	-	SDC1_D0
130	PE17	-	XPWM7	I2S0_MCLK	UART4_RX	I2S0_LRCK	-	SDC1_D1
124	PE18	-	-	-	-	-	-	I2S0_DIN
123	PE19	-	-	-	-	-	-	I2S0_DOUT
122	PE20	-	-	-	-	-	-	I2S0_BCLK
GPIO F								
12	PF0	CAPO	XPWM1	-	DSPK0	-	-	CMU_CKN
11	PF1	CAP1	XPWM2	-	DSPK1	-	-	CMU_CKP
GPIO N								
63	PN0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
64	PN1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
68	PN2	-	-	-	-	-	-	-
GPIO S								

表 2-4 D125ExS 封装引脚复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
59	PS0	RTC_IO0	-	IR_TX	I2C0_SCK	UART0_TX	-	-
58	PS1	RTC_IO1	-	IR_RX	I2C0_SDA	UART0_RX	-	-
62	PS2	RTC_XI	-	CAN0_TX	I2C1_SCK	UART1_TX	-	-
61	PS3	RTC_XO	-	CAN0_RX	I2C1_SDA	UART1_RX	-	-

2.2. 时钟和电源

2.2.1. 电源系统方案

表 2-5 电源系统方案

方案	描述	优点	缺点
1	芯片 VCC33_IO (3.3 V)、VDD11 (1.1 V 或 1.2 V) 和 LDO18 (1.8 V) 全都使用外部 DCDC 供电。各路电源平均电流不大于 200mA，选型按 500mA 以上。	发热最小、功耗最小，表面温度 37° C 左右	器件多，成本较高
2	芯片 VCC33_IO (3.3 V) 和 VDD11 (1.1 V 或 1.2 V) 采用外部 DCDC 供电，LDO18 使用内置 LDO 供电。各路电源平均电流不大于 200mA，选型按 500mA 以上。	DCDC 电源效率高功耗降低，优先推荐方案，表面温度 40° C 左右	-
3	芯片 VCC33_IO (3.3 V/300 mA) 采用外部 DCDC 供电，VDD11 和 LDO18 使用内置 LDO 供电。单电源平均电流不大于 300mA，选型按 500mA 以上。	电路简洁、成本低，表面温度 45° C 左右	LDO 效率低、功耗和温升有增加

2.2.2. POWER

- 芯片需提供 VDD11（芯片 CORE 电源：典型 1.1V/CPU 480Mhz，平均电流不大于 200mA）。

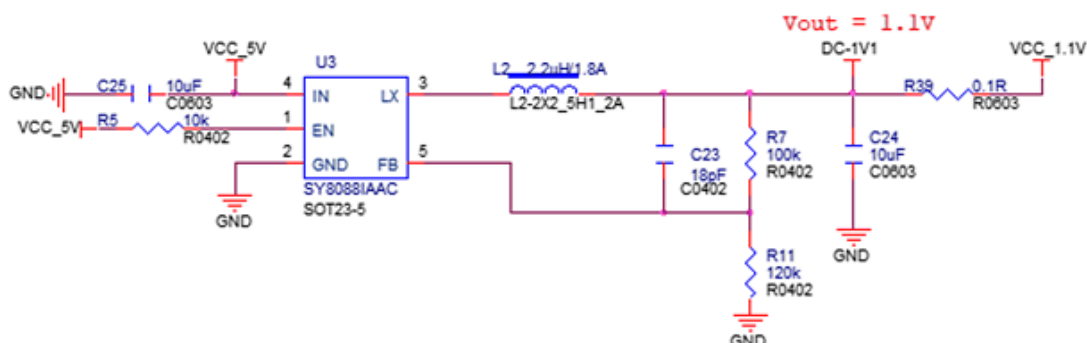


图 2-1 芯片 CORE 电源 VDD11 原理图

- 芯片需提供 VCC33_IO（芯片 IO 电源：典型 3.3V，平均电流不大于 100mA）。

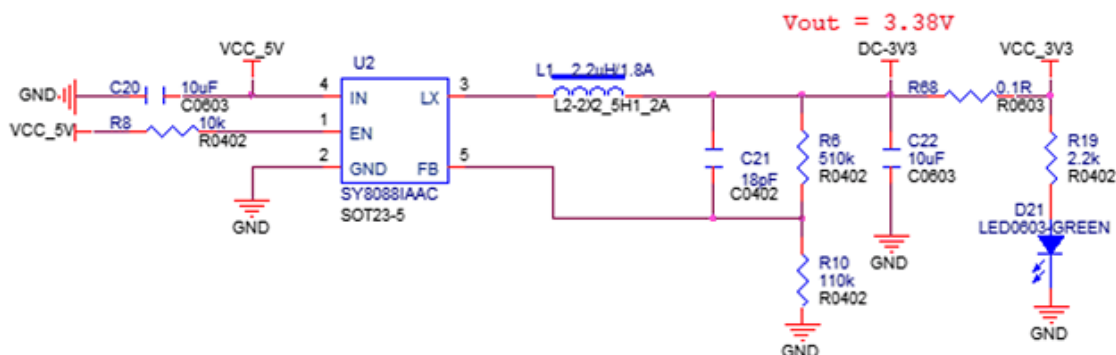


图 2-2 芯片 IO 电源 VCC33_IO 原理图

- 内置 LDO18，芯片复位时默认关闭，PSRAM 初始化时软件默认打开，若需要外供电 可在 pbp_cfg.json 文件中配置关闭，输出 1.8 V ~ 1.92V 供 PSRAM 使用，LDO18 引脚外部接 10 uF + 0.1 uF 旁路电容即可。
- 内置 LDO1x，芯片复位时默认开启，SDK 可在 menuconfig 中配置打开或关闭，输出 1.1 V ~ 1.21V 供 VDD11 使用，VDD11引脚外挂 10 uF + 0.1 uF 旁路电容即可。
- 内置 LDO25，默认开启，供内部模拟模块使用，LDO25 引脚外部接 1 uF 旁路电容即可。



注：

- 3.3V、1.1V 和 1.8V 都使用 DCDC 外供电，1024*600 显示场景，芯片功耗 185mW 左右，芯片表面温度约 37° C。
- 3.3V 和 1.1V 使用 DCDC 外供电，使用内置 LDO18，1024*600 显示场景，芯片功耗 210mW 左右，芯片表面温度约 40° C。
- 3.3V 使用 DCDC 外供电，VDD11 使用内置 LDO1x，使用内置 LDO18，1024*600 显示场景，芯片功耗 440mW 左右，芯片表面温度约 45° C。

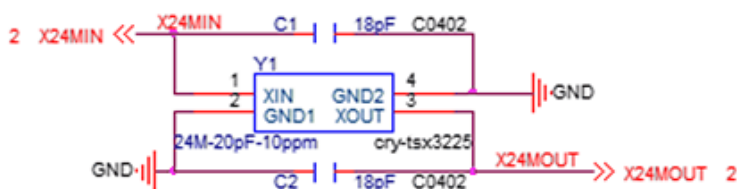


- 若 1.8V 和 1.1V 使用外部供电，内置 LDO18 和 LDO1x 需要软件关闭。
- 无上下电顺序要求，VCC33_IO 上电上升沿时间需大于 150us 而小于 5ms。

2.2.3. PLL

PLL 需外接 24MHz 晶振：

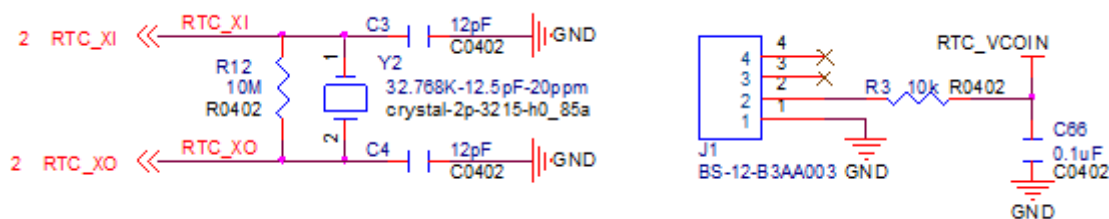
- 外挂 24 MHz 晶振精度要求小于 ± 20 ppm，匹配电容根据晶体负载电容选择。
- PLL_XO 建议串联 0R 电阻，便于调试振荡幅度。



2.2.4. RTC

内置 RTC，典型工作电流约 2.3uA 使用 RTC 功能需外接 32.768 KHz 晶振：

- 外部 32.768 KHz 晶振精度建议小于 ± 10 ppm，匹配电容根据晶体负载电容选择。
- RTC_XI 和 RTC_XO 之间并接 10M 电阻。
- RTC_IO 为 OD 输出，使用时需要外挂上拉电阻，上拉电平不超过 5V，可用于 输出 RTC 唤醒信号或输出 32.768 KHz 时钟。
- RTC_VCOIN 需串接 10 K Ω 电阻，若不考虑掉电保持，RTC_VCOIN 可悬空，内部有二极管通路从 VCC33_IO 取电，不需要外部再接 3.3 V。



2.2.5. BOOT

如何进入烧录模式：

- 存储介质空片情况下，可直接进烧录模式，使用 USB 连接电脑 Aiburn 烧录工具能识别烧录。
- 存储介质空片或者有固件情况，SDC1 TF-CARD 能在上电或复位时使用 1 数据线或 4 数据线强制进行烧录，通常用于量产及升级。
- 存储介质有固件情况下，SDK 默认使用 PA0 当做 BOOT 检测引脚，上电或复位时 BOOT 下拉低电平进入烧录模式。

如何修改 BOOT 引脚配置：

- 在 `pbp_cfg.json` 文件配置，路径 `target/<product>/xxx/pack/pbp_cfg.json`

其中 `<product>` 为具体型号名称，如 D12x, D13x 或 G73x。

比如将 boot 引脚改为使用 PE12，改动说明如下：

```
upgmode_pin_cfg_reg : "0x187004b0" , //PE12, 0x18700000+0x80+G*0x100+P*0x4
upgmode_pin_cfg_val : "0x10321" , //pinmux val, 默认不变
upgmode_pin_input_reg : "0x18700400" , //input val, 0x18700000+G*0x100
upgmode_pin_input_msk : "0x1000" , //bit mask, 二进制第 12 位, 转 16 进制即 0x1000
upgmode_pin_input_val : "0x0" , //bit val, 0 为低电平检测, 若是高电平, 改为 0x1000 按位检测
upgmode_pin_pullup_dly : "500" , //检测 delay, 默认不变
```

2.2.6. RESET

RESETN 引脚内置约 30 kΩ 上拉电阻和去抖滤波，低电平复位，不使用可直接悬空，建议预留按键或跳线方便调试。若有场景需求，可外挂电压监测芯片或硬件看门狗芯片控制 RESETN 引脚，用于低压检测复位或死机复位。

- 上电 VCC33-IO 高于 2.5V 后延迟 7ms 左右放开复位，下电 VCC33 低于 1.7V 彻底复位，RESET 下拉大于 2ms 后复位。
- 若想延迟放开复位，可外挂电容，最大建议不超过 4.7μF。
- 可使用电压监控、外部看门狗、外部 IO 进行复位控制。

2.3. 存储

2.3.1. FLASH

SPIO/ 1/ 2 为 QSPI 控制器，最大支持四线数据传输，用于 Flash 类型设备的快速读写访问。

- 默认使用 PB0~PB5 引脚的 SPIO 为 Flash 类型设备启动接口，D125ExS 也支持从 PB12~PB17 引脚的 SPIO 启动 Flash。
- QSPI 支持 NAND Flash / NOR Flash，支持单/ 双/ 四线模式。
- IO 最大速率 SDR 100 MHz，仅支持 3.3 V IO 电压，Flash 容量不限制。



注:

- SPI_CS、SPI_WP、SPI_HOLD 必需上拉。
- QSPI 信号除 SPI_CS 外整组必需做等长约束，约束控制在 80 mil 内，否则跑四线模式容易出现速度跑不高的情况。
- 启动阶段 BROM 有 Try 介质过程，PB0~PB5 引脚 SPI0 接口 CS/MOSI/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

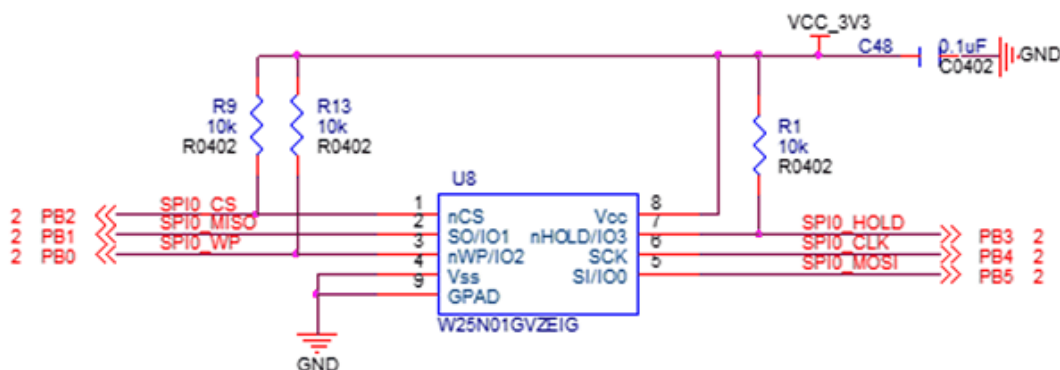


图 2-3 SPI0 NAND Flash 电路原理图

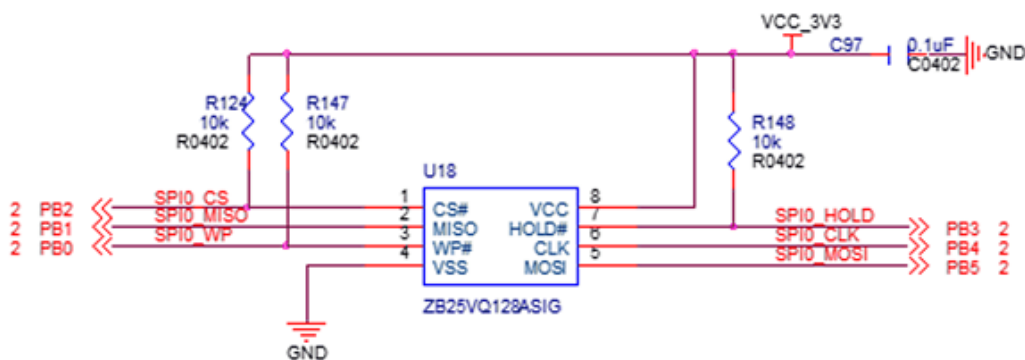


图 2-4 SPI0 NOR Flash 电路原理图

2.3.2. eMMC

使用 SDC0 接口，支持单线/ 四线模式，支持 eMMC 4.41 协议，支持 SDR25/ SDR50/ DDR50 模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- D0、CMD 和 RST 信号必需上拉到 VCC33_IO。



注:

- SDC0_D0~SDC0_D3、SDC0_CLK、SDC0_CMD 信号走线做等长约束，约束不大于 80 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- 启动阶段 BROM 有 Try 介质过程，SDC0 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

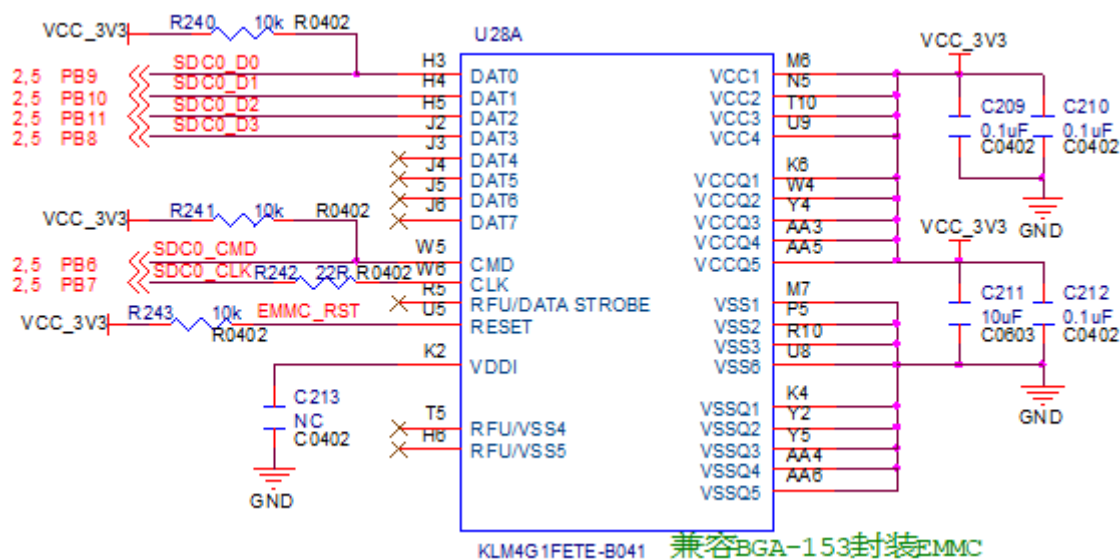


图 2-5 SDC0 eMMC 电路原理图

2.3.3. CARD

使用 SDC1 接口，支持单线/四线模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- D0、CMD 和 DET 信号建议上拉到 VCC33_IO。
- SD 接口信号线 TVS 管结电容 < 22 pF，否则影响信号传输质量。
- 建议保留 DET 信号线上的 1k 串联电阻，避免在插入 SD CARD 时产生信号下冲，同时提高 GPIO ESD 性能。



注:

- SDC1_D0~SDC1_D3、SDC1_CLK、SDC1_CMD 信号走线做等长约束，约束不大于 80 mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- 启动阶段 BROM 有 Try 介质过程，SDC1 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描。

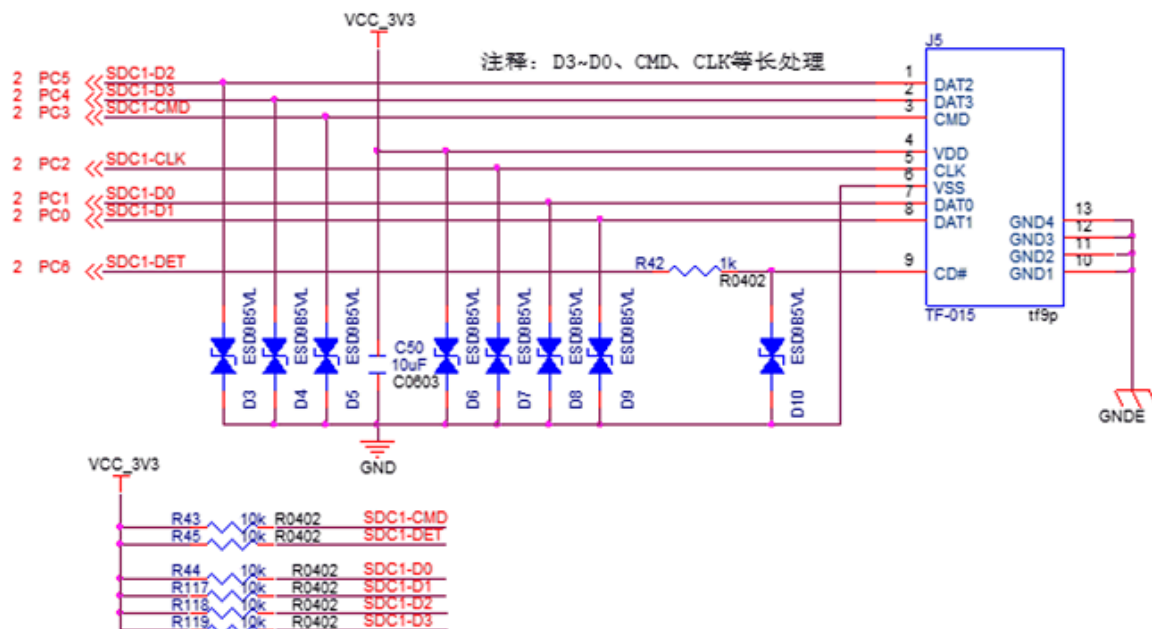


图 2-6 SDC1 CARD 电路原理图



注：

- 启动优先级：TF-CARD SDC1 > NOR SPI0 > NAND SPI0 > eMMC SDC0。
- 启动阶段 BROM 有 Try 介质过程，SDC0/ SDC1 接口 D0/ CMD/ CLK 、PB0~PB5 引脚 SPI0 接口 CS/ MOSI/ CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意不要用于敏感电路；若已识别到介质，低优先级的介质不再扫描输出波形，比如识别到 SPI0 Flash 之后，SDC0 不会再扫描。
- Flash 建议使用 WSON8 带 EPAD 封装，可兼容 NAND/NOR Flash。
- EMMC 建议使用 BGA153 封装，可兼容市面大部分 EMMC，不限制容量，不需要适配驱动。

2.4. 多媒体

2.4.1. AUDIO

• Speaker

- 支持 2 路单端输出（双喇叭，左右声道输出）。
- 支持 1 路差分输出（单喇叭，单声道输出）。
- 支持 DSPK0 和 DSPK1 内部混音后，再通过任意单一通路输出。



注:

DSPK 是数字信号, 从主控芯片出来必需接 RC ($R = 100R$, $C = 470\text{ nF}$) 转换成模拟信号才能给到音频功放。

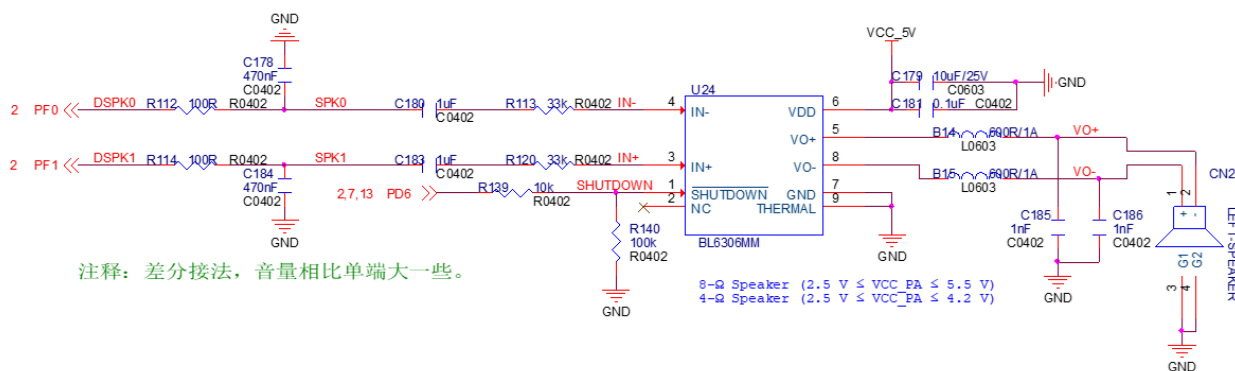


图 2-7 Speaker 差分输出电路原理图

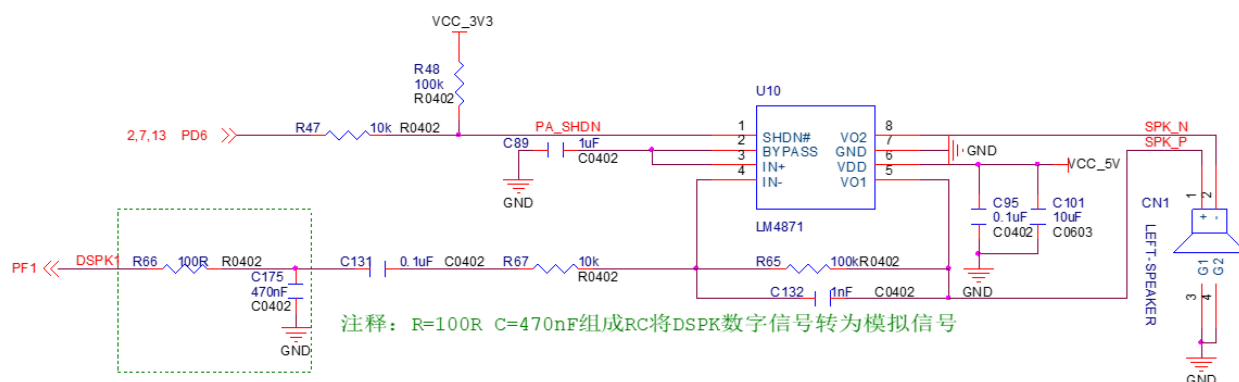


图 2-8 Speaker 单端输出电路原理图

- [illegible]

图 2-9 I2S 电路原理图

2.4.2. MIPI-DSI 屏接口

- 可配置为 1/2/3/4 对数据通道。
- 支持高速模式和低速模式。
- 每对数据通道都支持高速单向通信。
- 数据通道 0 可选支持低速模式下双向通信，即可读取屏的寄存器。

注：

- MIPI CLKN/ CLKP (PD22/ PD23)必须接屏幕的 CLK 引脚。只支持 D0~D3 差分对信号任意互换。
- 支持信号极性选择模式，即所有差分对信号支持正负极性反转。
- MIPI 信号是高速差分信号，差分对约束不大于 10mil，差分对 100 欧姆阻抗控制，整组信号等长约束不大于 20 mil。

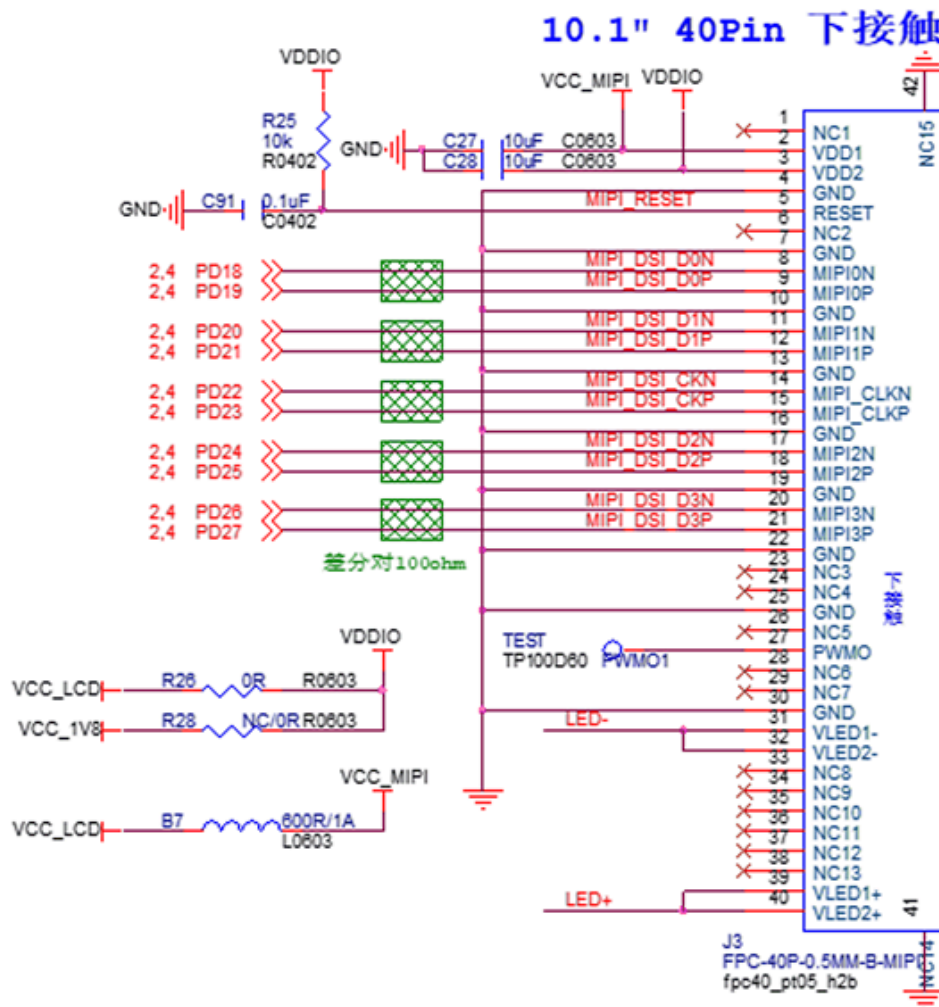


图 2-10 MIPI-DSI 电路原理图

2.4.3. MCU 屏接口

MCU 屏接口包含常见的 I8080、SPI、QSPI。

I8080								
PIN NAME	MAPPING	0	1	2	3	4	5	6
	BITS/PIXEL	24	18	16	24	18	16	24
	CLKS/PIXEL	1	1	1	2	2	2	3
GPD_P0	LCD_D0	DB0						
GPD_P1	LCD_D1	DB1						
GPD_P2	LCD_D2	DB2						
GPD_P3	LCD_D3	DB3						
GPD_P4	LCD_D4	DB4						
GPD_P5	LCD_D5	DB5						
GPD_P6	LCD_D6	DB6	DB0					
GPD_P7	LCD_D7	DB7	DB1					
GPD_P8	LCD_D8	DB8	DB2	DB0				
GPD_P9	LCD_D9	DB9	DB3	DB1				
GPD_P10	LCD_D10	DB10	DB4	DB2				
GPD_P11	LCD_D11	DB11	DB5	DB3				
GPD_P12	LCD_D12	DB12	DB6	DB4	DB0			
GPD_P13	LCD_D13	DB13	DB7	DB5	DB1			
GPD_P14	LCD_D14	DB14	DB8	DB6	DB2			
GPD_P15	LCD_D15	DB15	DB9	DB7	DB3	DB0		
GPD_P16	LCD_D16	DB16	DB10	DB8	DB4	DB1	DB0	DB0
GPD_P17	LCD_D17	DB17	DB11	DB9	DB5	DB2	DB1	DB1
GPD_P18	LCD_D18	DB18	DB12	DB10	DB6	DB3	DB2	DB2
GPD_P19	LCD_D19	DB19	DB13	DB11	DB7	DB4	DB3	DB3
GPD_P20	LCD_D20	DB20	DB14	DB12	DB8	DB5	DB4	DB4
GPD_P21	LCD_D21	DB21	DB15	DB13	DB9	DB6	DB5	DB5
GPD_P22	LCD_D22	DB22	DB16	DB14	DB10	DB7	DB6	DB6
GPD_P23	LCD_D23	DB23	DB17	DB15	DB11	DB8	DB7	DB7
GPD_P24	LCD_DCLK	WR	WR	WR	WR	WR	WR	WR
GPD_P25	LCD_HS	RD	RD	RD	RD	RD	RD	RD
GPD_P26	LCD_VS	CS	CS	CS	CS	CS	CS	CS
GPD_P27	LCD_DE	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS

图 2-11 I8080 不同配置定义



注：

- SPI 屏通信接口交叉，PD21/ SDO 为输出，需接屏端 SDI 输入。PD20/ SDI 为输入，需接屏端 SDO 输出。若屏幕无 RS 信号，则 RS 引脚不需要接。
- 少部分不支持 0x3C 命令的 SPI 屏，不能使用 LCD 点屏，可以使用普通 SPI 接口点屏。

PIN NAME	MAPPING	SPI	SPI	QSPI
GPD_P20	LCD_D20	SDI	/	SDA0
GPD_P21	LCD_D21	SDO	SDA	SDA1
GPD_P22	LCD_D22	/	/	SDA2
GPD_P23	LCD_D23	/	/	SDA3
GPD_P24	LCD_DCLK	SCL	SCL	SCL
GPD_P25	LCD_HS	/	/	/
GPD_P26	LCD_VS	CS	CS	CS
GPD_P27	LCD_DE	RS	RS	RS

图 2-12 SPI/ QSPI 屏连接定义

2.4.4. RGB 屏接口

LCD 接口支持 PRGB(并行 RGB)、SRGB(串行 RGB)。

PRGB 模式兼容五种 MAPPING 输出配置，默认为 24 bits，可配置为 18 bits、16 bits，相应的低位不使用。

- 配置 0: RGB888 建议使用，支持 R/G/B 整组信号互换，支持 3 组信号同时高低位反序。
- 配置 1: RGB666 建议使用，支持 R/G/B 整组信号互换。
- 配置 2: RGB666，支持 R/G/B 整组信号互换。
- 配置 3: RGB565 建议使用，支持 R/G/B 整组信号互换。
- 配置 4: RGB565，支持 R/G/B 整组信号互换。



注：

- 只有 RGB888 支持组内信号高位到低位排序互换，需软件配置 data-mirror。
- 默认配置为 RGB 线序，为方便 Layout，可将 R 和 B 整组互换，需软件配置将 data-order 修改为 BGR。
- RGB888 接口高位可用于 RGB666 或 RGB565，芯片端相应的低位不接或可用于其它功能。
- 需要初始化的 RGB 屏幕，其控制信号 CS/SCL /SDA 可使用任意空闲 IO 进行模拟初始化。

PIN NAME		PRGB					SRGB	
	MAPPING	0	1	2	3	4	0	1
	BITS/PIXEL	24	18	18	16	16	24	18
	CLKS/PIXEL	1	1	1	1	1	3	3
GPD_P0	LCD_D0	B0	B0	B2	B0	B3	LCD_D0	LCD_D2
GPD_P1	LCD_D1	B1	B1	B3	B1	B4	LCD_D1	LCD_D3
GPD_P2	LCD_D2	B2	G0	B4	B2	B5	LCD_D2	LCD_D4
GPD_P3	LCD_D3	B3	G1	B5	G0	B6	LCD_D3	LCD_D5
GPD_P4	LCD_D4	B4	R0	B6	G1	B7	LCD_D4	LCD_D6
GPD_P5	LCD_D5	B5	R1	B7	R0	G2	LCD_D5	LCD_D7
GPD_P6	LCD_D6	B6	B2	G2	R1	G3	LCD_D6	LCD_D0
GPD_P7	LCD_D7	B7	B3	G3	R2	G4	LCD_D7	LCD_D1
GPD_P8	LCD_D8	G0	B4	G4	B3	G5	LCD_D0	LCD_D2
GPD_P9	LCD_D9	G1	B5	G5	B4	G6	LCD_D1	LCD_D3
GPD_P10	LCD_D10	G2	B6	G6	B5	G7	LCD_D2	LCD_D4
GPD_P11	LCD_D11	G3	B7	G7	B6	R3	LCD_D3	LCD_D5
GPD_P12	LCD_D12	G4	G2	R2	B7	R4	LCD_D4	LCD_D6
GPD_P13	LCD_D13	G5	G3	R3	G2	R5	LCD_D5	LCD_D7
GPD_P14	LCD_D14	G6	G4	R4	G3	R6	LCD_D6	LCD_D0
GPD_P15	LCD_D15	G7	G5	R5	G4	R7	LCD_D7	LCD_D1
GPD_P16	LCD_D16	R0	G6	R6	G5	B0	LCD_D0	LCD_D2
GPD_P17	LCD_D17	R1	G7	R7	G6	B1	LCD_D1	LCD_D3
GPD_P18	LCD_D18	R2	R2	B0	G7	B2	LCD_D2	LCD_D4
GPD_P19	LCD_D19	R3	R3	B1	R3	G0	LCD_D3	LCD_D5
GPD_P20	LCD_D20	R4	R4	G0	R4	G1	LCD_D4	LCD_D6
GPD_P21	LCD_D21	R5	R5	G1	R5	R0	LCD_D5	LCD_D7
GPD_P22	LCD_D22	R6	R6	R0	R6	R1	LCD_D6	LCD_D0
GPD_P23	LCD_D23	R7	R7	R1	R7	R2	LCD_D7	LCD_D1
GPD_P24	LCD_DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK
GPD_P25	LCD_HS	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC
GPD_P26	LCD_VS	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC
GPD_P27	LCD_DE	DE	DE	DE	DE	DE	DE	DE

图 2-13 RGB 不同配置定义

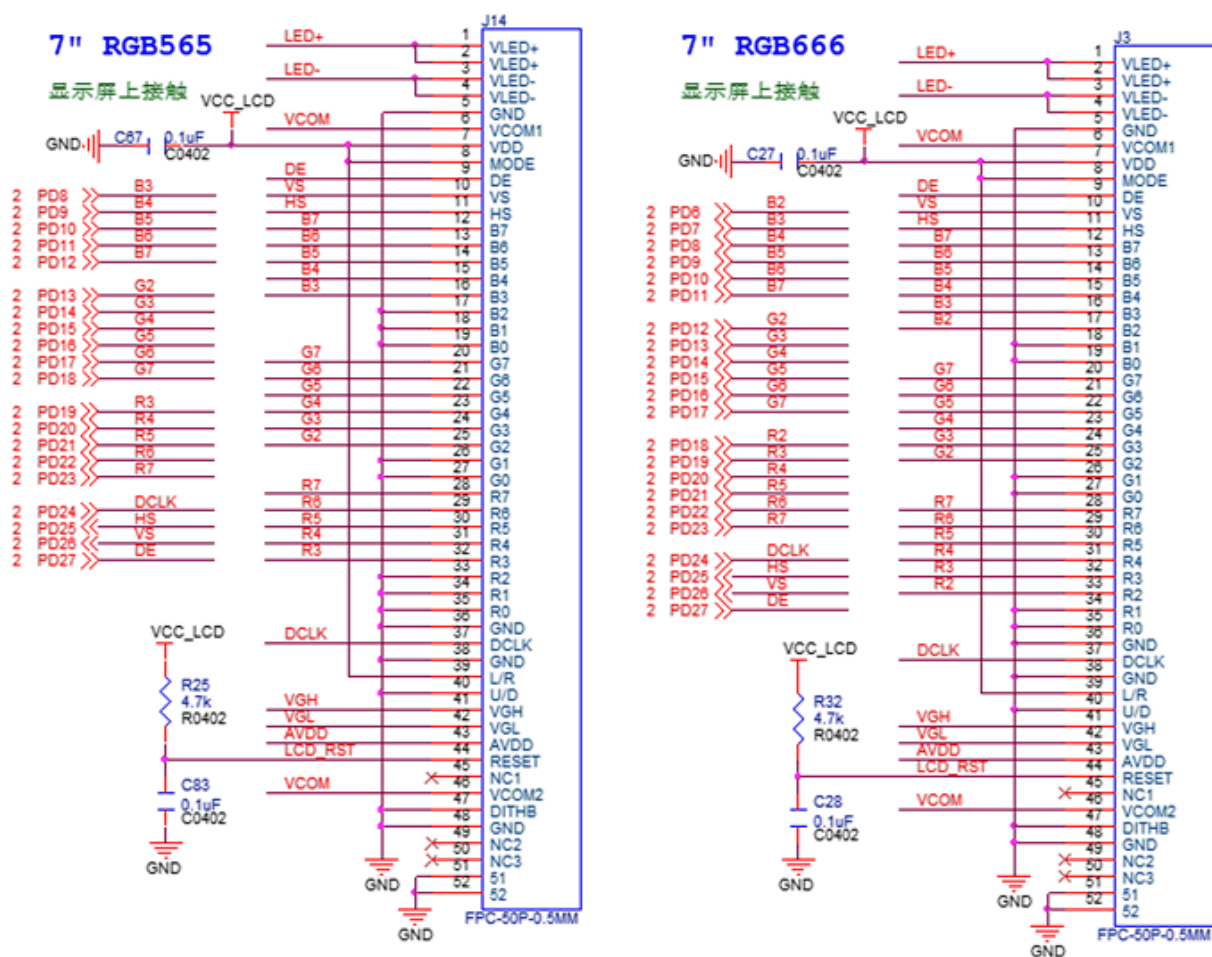


图 2-14 RGB565 / RGB666 电路原理图

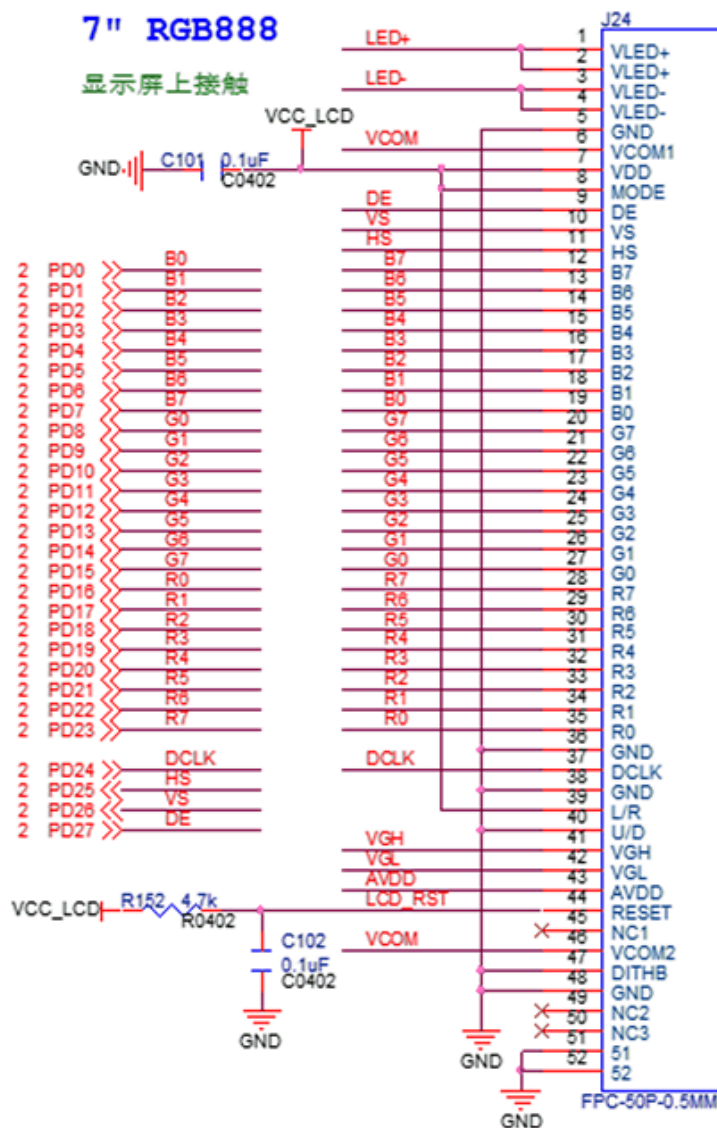


图 2-15 RGB888 电路原理图

2.4.5. PWM

支持 XPWM0~7 波形发生器，可独立配置，用于驱动背光、RGB 灯、电机等应用。

支持 EPWMx_A/ EPWMx_B 波形发生器，可配置成单独输出或同时输出，但频率相同占空比可不相同，用于驱动背光、RGB 灯、电机等应用。

PWM 波形发生器的说明如下：

- PWMx_A 和 PWMx_B 同属一组 PWM，可配置成单独输出或同时输出，但频率相同，占空比可不相同。
- PWM 通常用于背光控制，频率一般为 20 KHz ~ 1 MHz。
- PWM 通常用于蜂鸣器，频率一般为 3 KHz ~ 4 KHz。



注:

- PWM_x_A 和 PWM_x_B 可分开独立控制, 但频率是相同的, 占空比可独立调。
- 不同频率的应用不能使用同一组 PWM, 比如蜂鸣器和背光, 需分开使用不同通道。

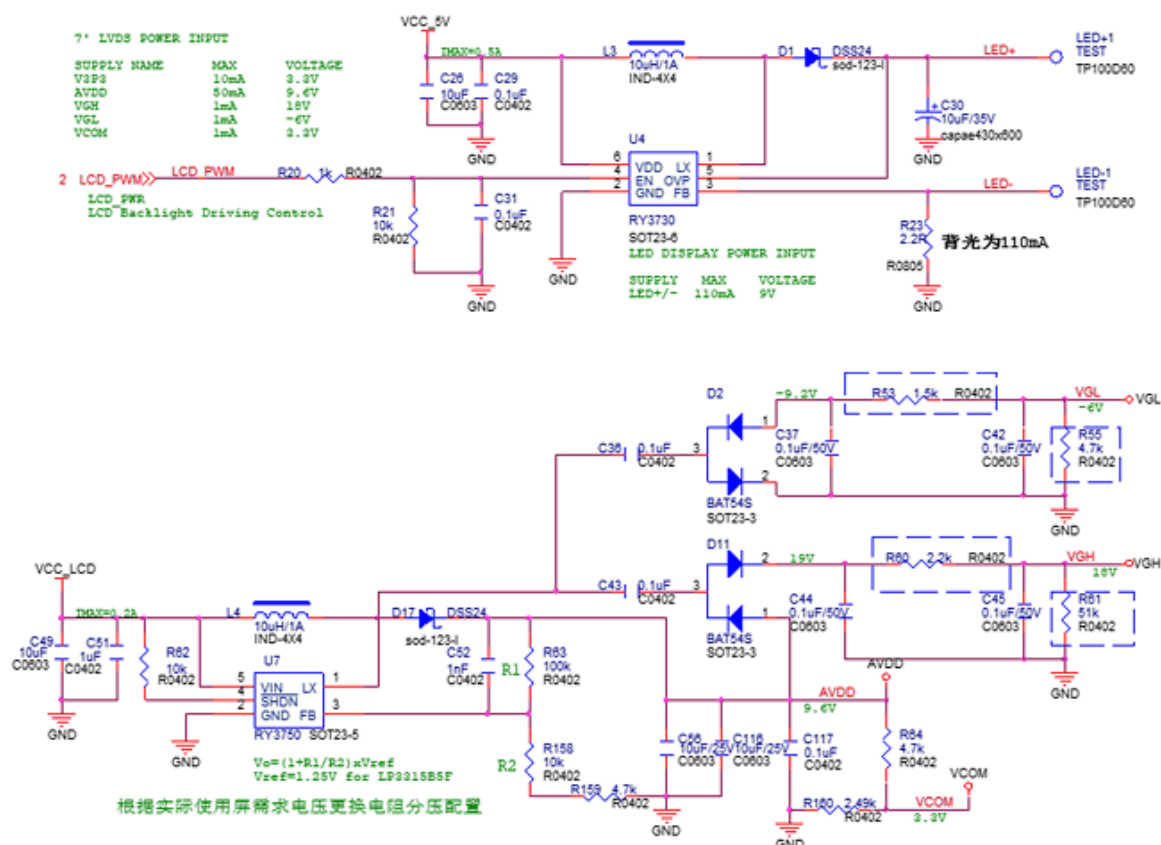


图 2-16 LCD 背光和偏压电路原理图

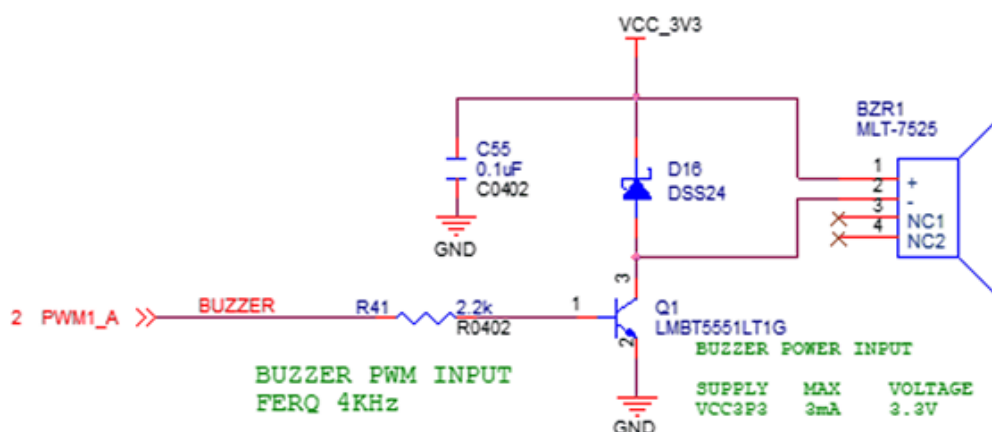


图 2-17 蜂鸣器电路原理图

2.4.6. TP

集成 RTP 电阻触摸屏接口，可支持 RTP 电阻屏触摸。

- RTP 仅支持 4 线，即 X+/X-/Y+/Y-。
- RTP 支持最多 2 点触摸。

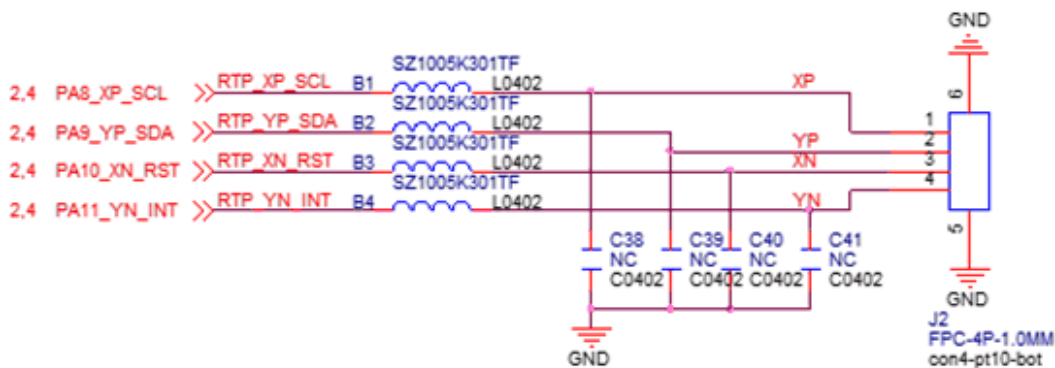


图 2-18 RTP 电阻屏触摸电路原理图

使用 I2C 和 GPIO，可支持 CTP 电容屏触摸。

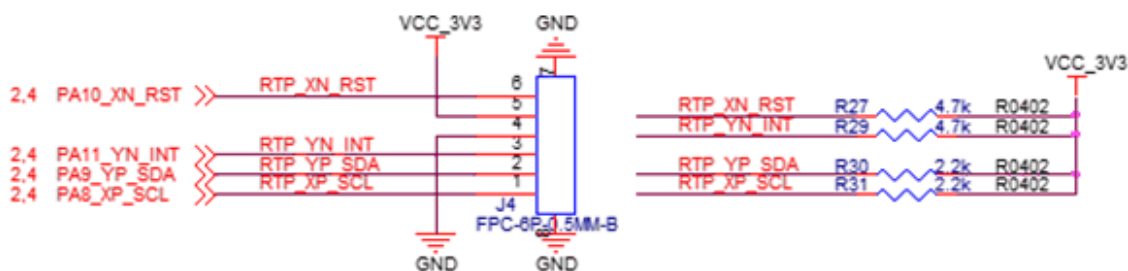


图 2-19 CTP 电容屏触摸电路原理图

2.5. 通用接口

2.5.1. CAN

支持 CAN 控制器

- 支持 CAN2.0A 和 CAN2.0B 协议，可编程通信速率最高 1 Mbps。
- 外围电路需接收发射器，才能组成 CAN 总线网络。

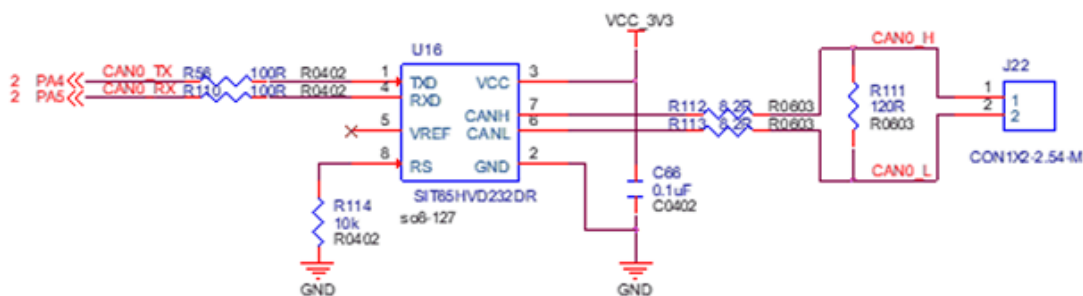


图 2-20 CAN 电路原理图

2.5.2. CIR

支持市面常见红外协议，如 NEC、RC5、RC6、RC-MM、Sony、Sanyo、JVC 等。

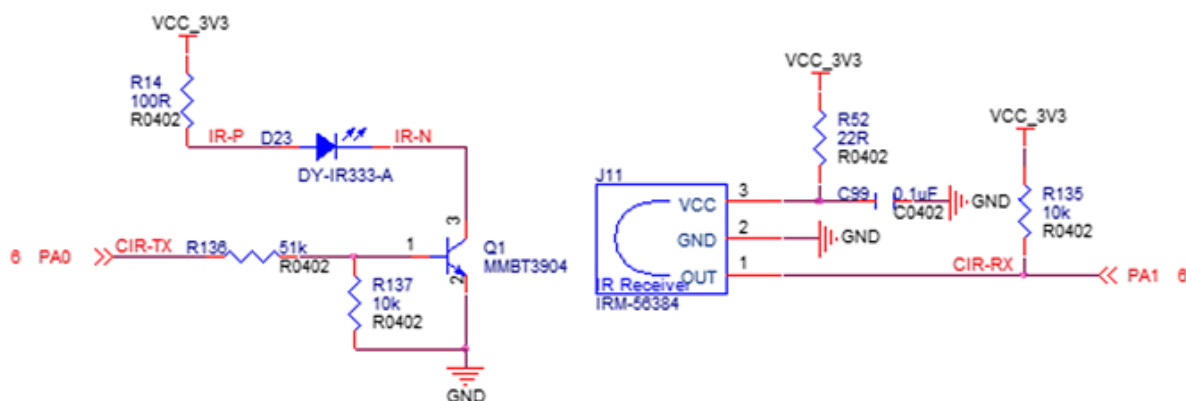


图 2-21 CIR 红外收发电路原理图

2.5.3. I2C

I2C 速率最大支持 400 Kbps，支持 master 和 slave 模式。

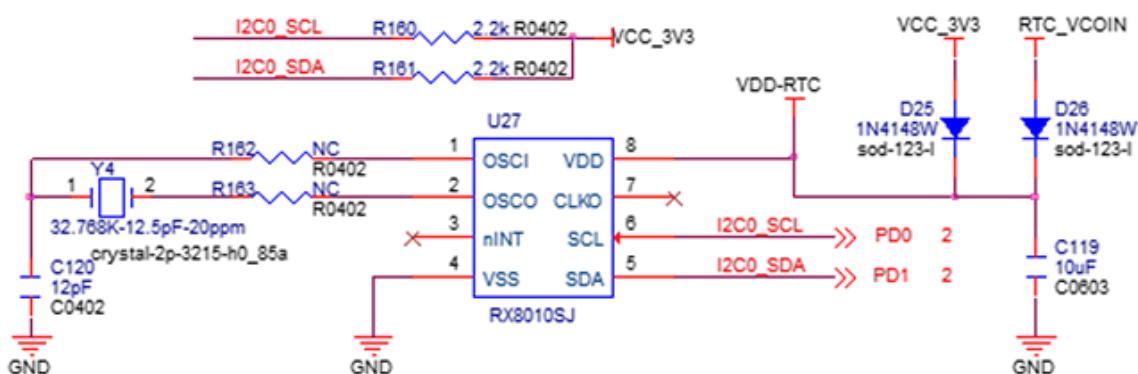


图 2-22 I2C 外接 RTC 电路原理图

2.5.4. SDIO

SDC0/SDC1 可用于访问 SDIO 接口的设备，比如 eMMC、SD-NAND、CARD、WiFi 模组。只有 SDC0 和 SDC1 接口可以做启动用。

- SDIO 接口只支持 3.3 V IO 电平，接口顺序关系需注意。
- SDIO 接口按等长约束走线，CLOCK 尽量包地处理。
- 天线端增加 TVS 管，防止 ESD 静电打坏模块。
- 所有电源滤波电容尽量靠近芯片电源输入脚放置。

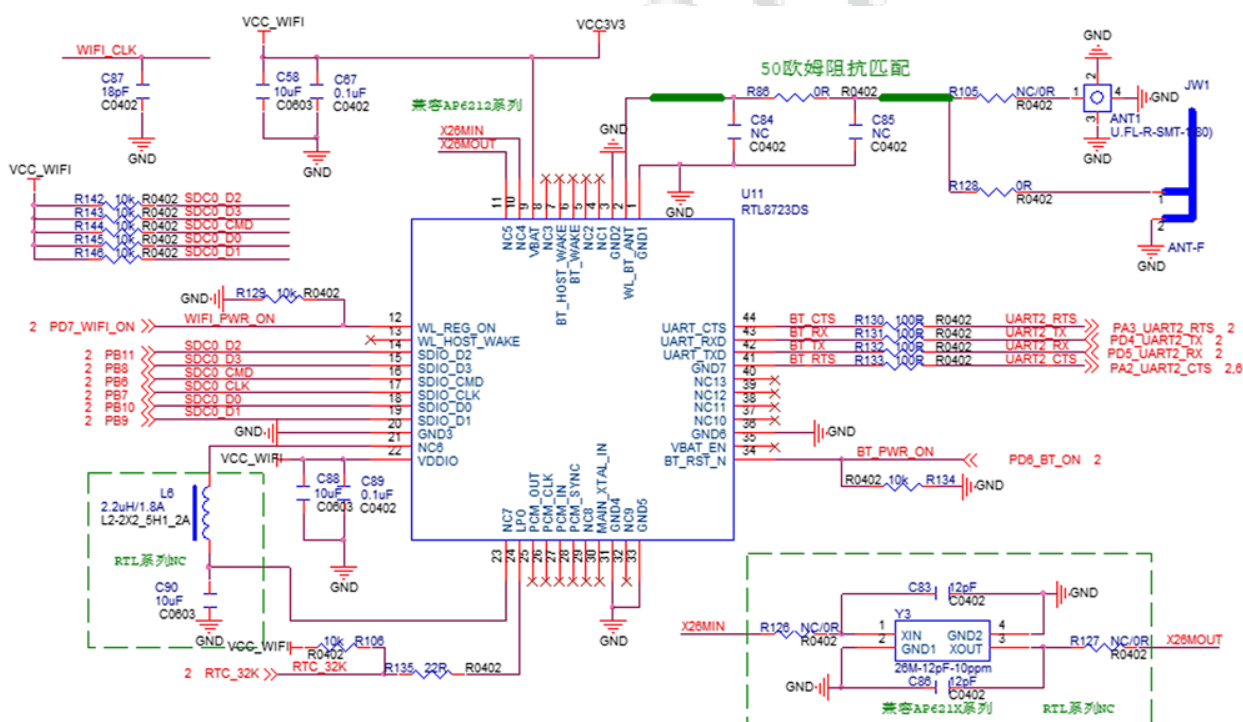


图 2-23 SDC0 WiFi+BT 电路原理图

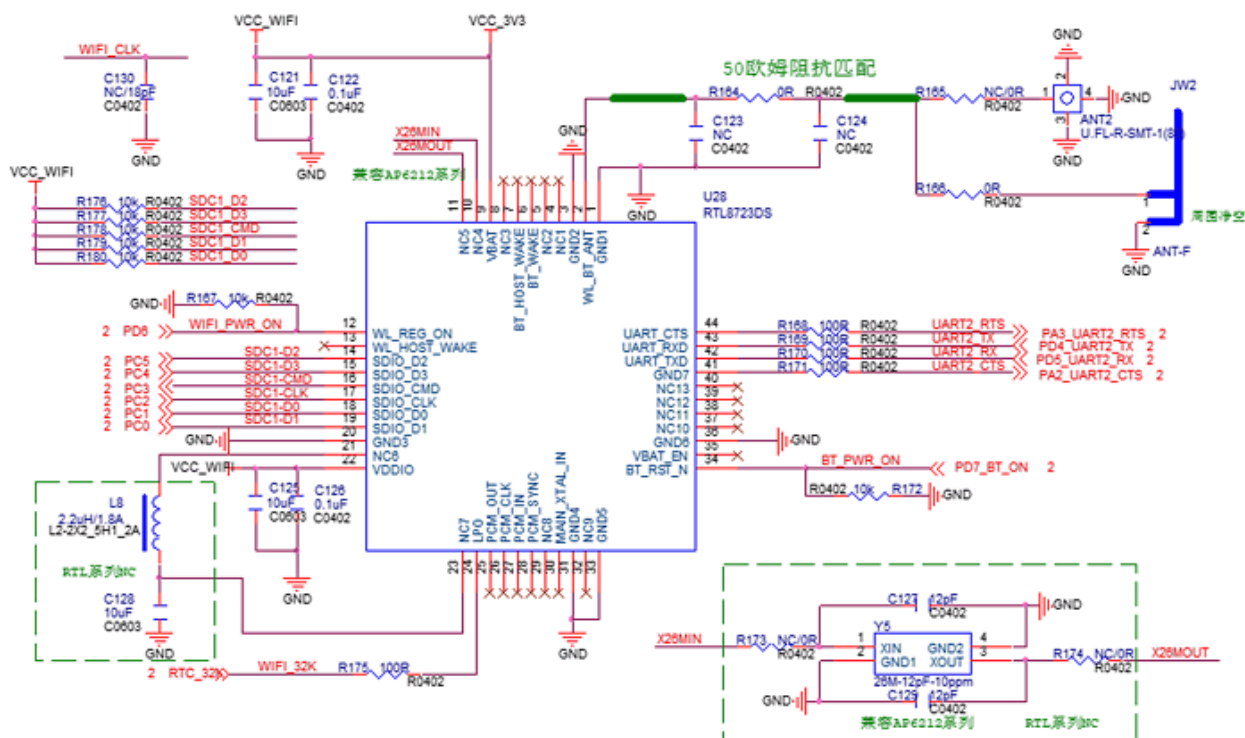


图 2-24 SDC1 WiFi+BT 电路原理图

2.5.5. SPI

SPI0~5为标准 SPI 控制器，用于存储设备或其它 SPI 接口设备的访问。

- 支持 Master，支持 Slave。
- SPI0/1/2 支持 QSPI 单/双/四线模式。
- SPI 3/4/5 支持 SPI 单、双数模式。
- QSPI1/QSPI2 支持硬件刷屏模式
- SPI_CS、SPI_WP、SPI_HOLD 必需保留上拉电阻。

2.5.6. UART

UART 兼容工业 16550 标准，支持常用波特率，最大波特率支持 5 Mbps。

- 支持 UART 两线（TX、RX），通常应用于 TTL、RS485、RS232、DEBUG 打印。
- 支持 UART 三线（TX、RX、RTS），通常应用于 RS485，RTS 可用于 485 硬件流控。
- 支持 UART 四线自动流控（TX、RX、RTS、CTS），通常应用于 RS232、蓝牙通信。

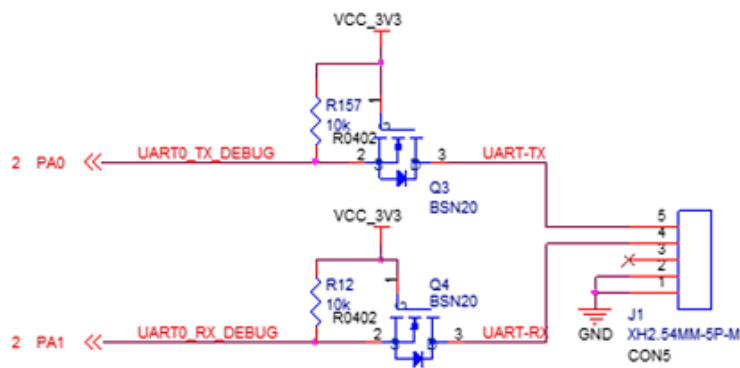


图 2-25 串口调试打印电路原理图

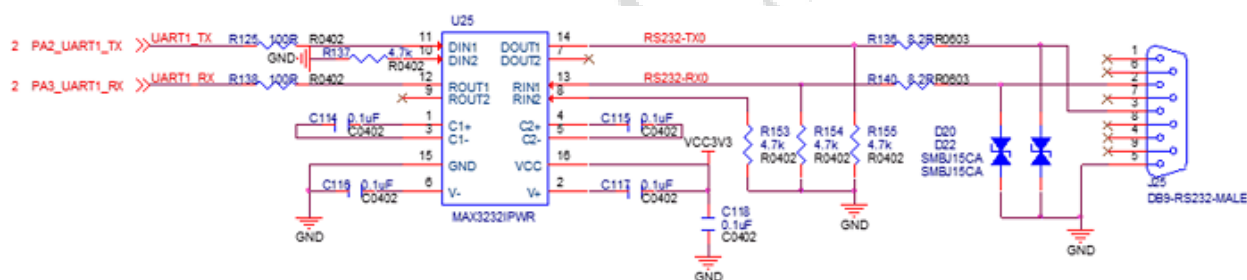


图 2-26 RS232 串口电路原理图

RS485 支持硬件自动控制收发方向，也支持软件控制收发方向

- 在 IO 资源紧张时，建议采用 AIC 特有的两线接法，通过 UART_TX 引脚进行半双工收发，UART_RX 引脚进行硬件自动流控。
- 需要做光耦隔离时，可采用常规三线接法，使用 UART_RTS 引脚进行硬件自动流控。



注：

- 使用两线接法时，TX 引脚既当发送又当接收。RX 引脚用于自动控制收发方向。
- 使用三线接法时，建议使用 UART_RTS 接 485-DIR，方便使用硬件自动控制收发功能。

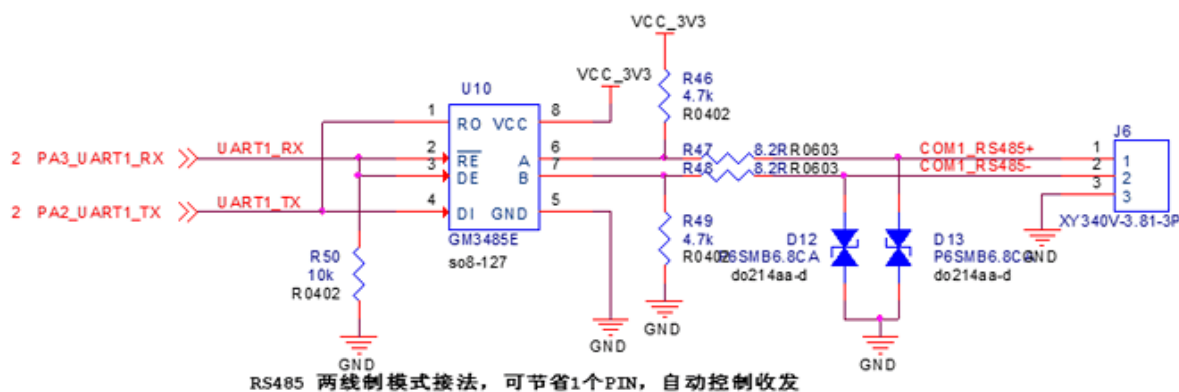


图 2-27 RS485 两线接法电路原理图

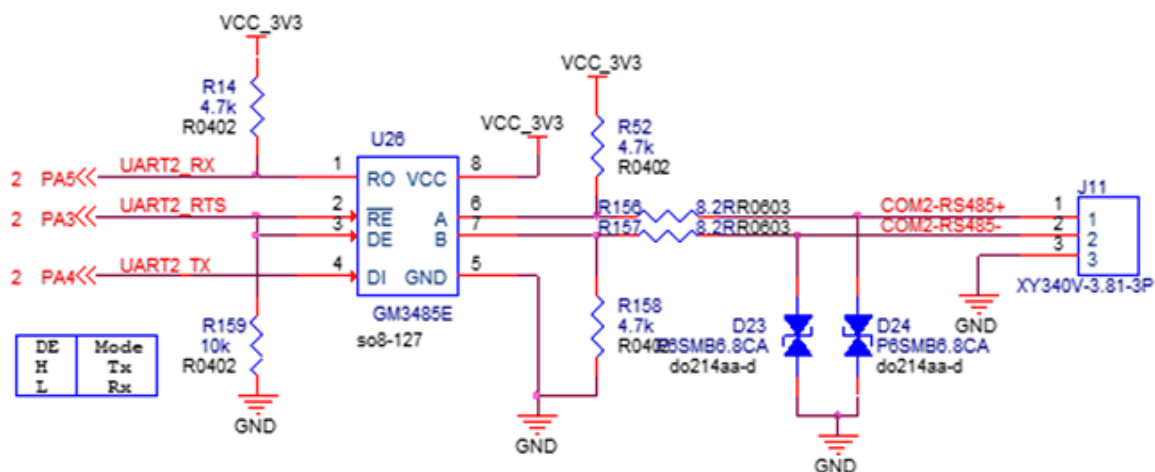


图 2-28 RS485 三线接法电路原理图

3. 布线设计

3.1. 电源

尽量保证完整地平面，可以降低电源和地回路的阻抗，保证电源完整性和散热性能。

- 在合适的位置放置过孔，可以降低电源和地层的阻抗，有助于为信号提供一个低阻抗的回流回路。
- 在多电源平面和地平面分割时，优先考虑敏感信号的布局走线。
- 滤波电容靠近主控引脚放置，滤波电容就近多打 GND 过孔，且保证 VDD-SYS 和 LDO18 引脚滤波电容地与主控地之间有直接连接，减小回流路径。
- 主控 EPAD 需要多打 GND 过孔，减小阻抗，增强散热能力。
- 单个电源引脚走线线宽至少 6mil，电源干流线宽至少 20mil。

3.2. 布局

PCB 布局时，要将不同功能的电路进行分类，比如电源、模拟电路、数字电路和高速接口连接器等，这些电路应该分模块放置在 PCB 板的不同区域。

- 电源电路放在电源输入端附近。元件放置按照从高压到低压的顺序。
- DCDC 或 LDO 去耦电容应尽量靠近输入输出端口。
- 模拟电路更容易受外界干扰影响，建议将模拟电路放置在远离高压和高速数字电路的地方，减少噪声耦合。
- 建议晶体靠近 CPU 放置，尽量包地处理，与其它敏感元件保持安全距离。

3.3. DCDC 电路

DC/DC 需要外接电感和电容。

- 尽量缩小 DC/DC 电流回路，以避免 EMI 问题。
- 让电流首先流经滤波电容，然后流至引脚。
- 去耦电容尽量靠近管脚放置，以避免环路不稳定问题。
- 尽量避免电感和电容之间不必要的通孔，降低环路阻抗。

3.4. 高速信号

高速信号走线必须考虑传播延迟和阻抗匹配以保证设备间的良好通信。

- 当必须在不同的参考平面之间进行切换时，最好在信号切换通孔 100 mil 附近提供接地回路通孔。
- 同一层上的时钟与相邻走线的间距至少应为两倍线宽（2W 原则），以减少串扰。

- QSPI 接口 SPI_MOSI、SPI_MISO、SPI_WP、SPI_HOLD、SPI_CLK、SPI_CMD 需等长约束（长度差建议不超过 40 mil）。
- SDC 接口 SDC_D0~3、SDC_CLK、SDC_CLK 需等长约束（长度差建议不超过 50 mil）。
- USB_DP、USB_DM 需等长约束（长度差建议不超过 20mil），差分对 90 欧姆阻抗匹配。
- MIPI 接口 MIPI_D0~D3、MIPI_CLK 需等长约束（长度差建议不超过 40mil），差分对 100 欧姆阻抗匹配。
- DVP 接口 D0~7、DVP_CK、DVP_HS、DVP_VS、DVP_MCLK 需等长约束（长度差建议不超过 80mil）。

3.5. 屏蔽

连接器接口有金属的或者是外壳导电的，裸漏在外面可被接触到，设计时应当考虑防静电性能。

- 连接器（USB 接口和以太网接口）应设置单独的外壳屏蔽地。
- 外壳接地回路要尽量短，避免跨越关键信号或元件。
- 建议外壳屏蔽地用 RC 滤波电路或铁氧体磁珠连接到 PCB 数字地，注意连接位置和元件参数选择，这对 EMC 和 EMI 性能至关重要。
- 信号尽量从背面走线，远离外壳。
- 其它元件或走线，与外壳保持一定的安全距离，尽量 5 mm 以上，避免空气辐射路径。

3.6. 隔离

隔离在设计中经常用到，例如隔离强电和弱电，或者隔离模拟电路和数字电路。

- 以 RS485 隔离电路为例，接口端与通信电路之间采用光耦隔离器用于隔离。为了提高隔离性能，在隔离器下方设置隔离间隙，且隔离间隙应用于所有平面（顶层/电源层/地层/底层）以保证良好的隔离性能。
- 以模拟电路隔离为例，模拟地和数字地之间需要设置隔离间隙，可放置 0R 电阻单点接地。

3.7. 信号回流路径

信号和电源都有自己的回流路径。地平面可以是信号和电源的参考面，电源面也可以作为信号的参考面。

- 回路面积越小，阻抗越小，串扰和电磁干扰 (EMI) 的影响也就越小。
- 去耦电容尽量靠近输入输出端口，回流信号可以从表层直接回流至源端，最大程度地减小电流回流路径和阻抗。
- 考虑信号返回路径时，一定要避开电流回环路径上的断开点。电流回环的面积越小，EMC 的性能就越好。

4. 设计自查

4.1. POWER 设计 Checklist

表 4-1 POWER 设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	采用内部 LDO 供电，layout 需要注意 GND 焊盘散热问题。	-	-
3	使用 DCDC 给 VDD11_SYS 供电，FB 反馈点尽量从主控滤波电容端选取，防止电源走线过长有较大压降，导致系统工作不稳定。	-	-
5	供电无上下电顺序要求，VCC33_IO 上电上升沿时间需大于150 us而小于 5 ms。		

4.2. 显示接口设计 Checklist

表 4-2 显示接口设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	若使用 RGB666 或 RGB565，FPC 接口数据低位需接 GND	-	-
2	RGB888/ RGB666/ RGB565 支持整组互换	-	-
3	只有 RGB888 支持高低位顺序互换，RGB 三组都要同时换	-	-

4.3. Speaker 设计 Checklist

表 4-3 Speaker 设计 Checklist

序号	事项	确认（PASS/NO PASS）	备注
1	DSPK 为数字逻辑信号，需要外接 RC (R = 100, C = 470 nF) 滤波转换成模拟信号，才能给到音频功放芯片。	-	-

4.4. 串行通信接口设计 Checklist

表 4-4 串行通信接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	I2C 信号是 OD 输出，需外接上拉电阻，根据负载不同，建议选择 2k~4.7k。	-	-
2	I2C 同一路信号挂多个设备时，地址不能重复。	-	-

4.5. 特殊 GPIO 设计 Checklist

表 4-5 特殊 GPIO 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	如需进入升级模式，可在 配置任意 IO 为下拉检测或上拉检测，SDK 默认使用 PA0 下拉检测，建议预留按键或跳线。	-	-
3	启动阶段 BROM 有 Try 介质过程，PB0~PB5 的 SPI0 接口 CS/MOSI/CLK，SDC0、SDC1 接口 D0/CMD/CLK 有 ms 级脉冲波形输出，做 IO 输出使用时需注意	-	-

4.6. EMC 防护设计 Checklist

表 4-6 EMC 防护设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	尽量不要热插拔，如果有热插拔风险信号，比如 UART、485、IO 等与外部连接的信号，最好串接 22R~100R 小电阻进行 EOS 过电应力防护。	-	-
2	金属连接器与信号地之间，建议并联 RC 用于静电泄放	-	-
3	RGB、I8080、SPI 屏，建议在 CLK 上预留 RC 或 LC 滤波，有空间的话所有数据线预留串接小电阻，有助于 RE 辐射调试优化	-	-
4	电源输入比如 5V/3.3V 建议预留 TVS 管防护插拔瞬态浪涌	-	-